



TITLE:

高誘電率(Ba,Sr)TiO₃系薄膜の作製
とGbit級DRAMセルキャパシタへの
応用に関する研究(Dissertation_全
文)

AUTHOR(S):

山道, 新太郎

CITATION:

山道, 新太郎. 高誘電率(Ba,Sr)TiO₃系薄膜の作製とGbit級DRAMセルキャ
パシタへの応用に関する研究. 京都大学, 2002, 博士(工学)

ISSUE DATE:

2002-01-23

URL:

<https://doi.org/10.14989/doctor.r10860>

RIGHT:

高誘電率(Ba,Sr)TiO₃系薄膜の作製と
Gbit 級 DRAM セルキャパシタへの
応用に関する研究

山道 新太郎

平成14年1月17日

工学研究科関係 系事務室長
系事務室専門職員 各位
専攻事務主任

教務課（工学研究科担当）

学位論文の送付について

このことについて、本月開催の工学研究科会議にて下記の者の学位授与が決定しましたので、学位論文を送付いたします。

なお、学位は、平成14年1月23日 付けで授与されます。

記

電子物性工学専攻

論文 第 3633 号 山 道 新太郎

**高誘電率(Ba,Sr)TiO₃系薄膜の作製と
Gbit 級 DRAM セルキャパシタへの
応用に関する研究**

山道 新太郎

目 次

第 1 章 序論

1.1	研究の背景	1
1.1.1	緒言	1
1.1.2	DRAM セルキャパシタの構造の変遷	2
1.1.3	(Ba,Sr)TiO ₃ 系薄膜の特徴	7
1.1.4	(Ba,Sr)TiO ₃ 薄膜の Gbit 級 DRAM への応用	9
1.1.5	下部電極の重要性 —Si との電氣的接続—	10
1.2	本研究の目的と位置づけ	11
1.3	本論文の構成と概要	12
	参考文献	14

第 2 章 平坦電極上への(Ba,Sr)TiO₃ 薄膜の作製とその誘電特性

2.1	緒言	17
2.2	SrTiO ₃ 薄膜の作製とその誘電特性	18
2.2.1	イオンビームスパッタ法の特徴	18
2.2.2	キャパシタの作製方法と誘電特性の評価方法	20
2.2.3	O ₂ ガスの導入効果	22
2.2.4	基板温度依存性	24
2.2.5	イオンビームのビーム電圧とビーム電流の影響	25
2.2.6	誘電率の SrTiO ₃ 膜厚依存性と 2 層構造モデルによる評価	29
2.2.7	微細グレイン構造の観察と組成分析	34
2.2.8	表面遷移層に関する検討	40
2.2.9	rf スパッタ膜との比較	44
2.3	(Ba,Sr)TiO ₃ 薄膜の作製とその誘電特性	47
2.3.1	ターゲット仮焼温度依存性	47
2.3.2	Ba/(Ba+Sr) 比依存性	49
2.3.3	(Ba+Sr)/Ti 比依存性	53

2.3.4	誘電率とリーク電流の(Ba+Sr)/Ti 比依存性	57
2.3.5	誘電率の(Ba,Sr)TiO ₃ 膜厚依存性	59
2.3.6	微細グレイン構造と誘電率の関係	61
2.4	(Ba,Sr)TiO ₃ 薄膜の長期信頼性	63
2.4.1	TDDDB 特性の(Ba,Sr)TiO ₃ 膜厚依存性	63
2.4.2	TDDDB 特性の(Ba+Sr)/Ti 比依存性	68
2.4.3	SILC の観察と(Ba,Sr)TiO ₃ 膜厚及び(Ba+Sr)/Ti 比依存性	71
2.4.4	(Ba,Sr)TiO ₃ キャパシタの長期信頼性に及ぼす SILC の影響	77
2.5	結言	79
	参考文献	80

第 3 章 (Ba,Sr)TiO₃ キャパシタ用下部電極と平坦型キャパシタの作製

3.1	緒言	82
3.2	シリコン上への高誘電率キャパシタ形成のための下部電極	83
3.2.1	シリコン上への直接成膜	83
3.2.2	Pt 系下部電極の多層化による高誘電率の実現	85
3.2.3	Pt 系下部電極の構造変化と組成分析	89
3.2.4	Pt/Ta の表面モフォロジーの変化と内部応力	106
3.3	平坦型キャパシタの作製プロセスの開発とその誘電特性	114
3.3.1	キャパシタ作製プロセス	114
3.3.2	IBS-SrTiO ₃ 薄膜によるキャパシタ特性	120
3.4	結言	125
	参考文献	126

第 4 章 立体電極上への(Ba,Sr)TiO₃ 薄膜の作製と DRAM セルキャパシタへの応用

4.1	緒言	127
4.2	RuO ₂ 下部電極側面への(Ba,Sr)TiO ₃ 薄膜の作製とその誘電特性	129
4.2.1	段差被覆性の評価	129
4.2.2	RuO ₂ のドライエッチング	131

4.2.3	RuO ₂ 側面における rf スパッタ(Ba,Sr)TiO ₃ 薄膜の誘電特性	135
4.2.4	RuO ₂ 側面における rf スパッタ(Ba,Sr)TiO ₃ 薄膜の微細構造	143
4.3	ECR プラズマ MOCVD 法による(Ba,Sr)TiO ₃ 薄膜の作製と 立体型キャパシタへの適用	148
4.3.1	ECR プラズマ MOCVD 法の特徴	148
4.3.2	平坦電極上における CVD-(Ba,Sr)TiO ₃ 薄膜の特性	153
4.3.3	立体型キャパシタの作製	155
4.3.4	RuO ₂ 側面における CVD-(Ba,Sr)TiO ₃ 薄膜の特性	159
4.4	Ba 及び Sr 不純物のシリコン基板への汚染の影響	165
4.4.1	金属汚染評価に関する背景	165
4.4.2	実験方法	165
4.4.3	強制汚染による影響	168
4.4.4	転写汚染の評価	175
4.5	結言	177
	参考文献	178

第 5 章 結論

本研究の結論	180
主な研究業績	183
謝辞	186

第1章 序論

1.1 研究の背景

1.1.1 緒言

インターネットの普及により、大量の情報が世界的規模で瞬時に行き交う高度情報化社会が急速な勢いで進展しており、それをハードウェア面で支える半導体エレクトロニクスデバイスの役割はますます重要となっている。なかでも動的任意番地書き込み読み出しメモリ(Dynamic Random Access Memory(DRAM))や、マイクロプロセッサ等に代表されるシリコン ULSI は、全世界で大量に生産・消費され、インテリジェントな電子機器にとって必要不可欠なデバイスとなっている。DRAMは1970年にIntel社により初めて1KbitDRAMが開発され^[1]、その後4KbitDRAMにおいて1トランジスタ+1キャパシタという基本的なメモリセルが提案されて以来^[2]、この単純な構造ゆえに、各時代における最先端の微細加工技術や薄膜作製技術を開発するテクノロジ・ドライバとしての役割を担ってきた。

シリコン ULSI の発展を歴史的に振り返れば、1947～48年にAT&Tベル研究所においてトランジスタの基本動作が発見されたことに端を発する^[3]。そして、ちょうど同時期の1942～45年に、酸化物セラミックスの分野における重要な発見が、米国、ソ連、日本の三国で独自になされている。水素結合の無い初めての酸化物強誘電体であるチタン酸バリウム(BaTiO_3)の発見である^[4-6]。強誘電性そのものの最初の発見は1921年のロッシェル塩に遡るが^[7]、 BaTiO_3 セラミックスの誘電率は室温、kHz台の周波数において1500～3000もあり、当時実用化されていた酸化物である TiO_2 などと比べて桁違いに大きかった。したがって、発見当初は軍事用マイクロ波通信の高誘電率材料として利用された。そしてこの BaTiO_3 の発見以降、 ABO_3 (A、Bは金属元素)という化学式で表記されるペロブスカイト型の強誘電体が数多く見いだされたのである^[8]。

その後、シリコン ULSI と酸化物セラミックスの2つの研究分野は、時に相互に強く影響し合いながら発展してきた。1950～60年代には、IBM社やAT&T社ベル研究所によって、強誘電体を用いた集積化メモリの研究が盛んに行われ、最初のブームとなった^[9,10]。続いて1970年代には、MIS構造のFETのゲート絶縁膜に強誘電体薄膜を用いて不揮発性メモリとする研究が、Westinghouseをはじめ多くの機関で行われて、第2のブームとなった^[11-15]。しかしながら、当時は、作製された強誘電体薄膜の特性が不安定であり、半導体と強誘電体の界面制御が非常に難しか

ったため実用化には至らなかった。

1980年代に入ると、シリコン ULSI の分野で高集積化技術が飛躍的に進歩し、最小加工寸法が $1\mu\text{m}$ を切る ULSI が次々と誕生した^[16]。一方、酸化物セラミックスの分野においても、高温超伝導体の発見^[17,18]を契機として、ペロブスカイト型酸化物の薄膜作製技術が急速に進展した^[19,20]。そして1987年と1988年に、強誘電体である $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT) 薄膜キャパシタの隣に個々にスイッチングトランジスタを配置する、DRAM と類似のセル構造を有する不揮発性メモリが Krysalis 社と Ramtron 社からそれぞれ発表され^[21,22]、酸化物セラミックスの強誘電性や高誘電率特性をシリコン ULSI 上に集積化しようとする三度目の試みが活発化してきた。

1.1.2 DRAM セルキャパシタの構造の変遷

DRAM は 1Kbit 級の開発から今日に至るまで、ほぼ 3 年で 4 倍というスピードで高集積化されている。2001 年現在では、64Mbit や 128Mbit DRAM が一般に市販され、256Mbit DRAM が開発から量産段階へと移行している^[23]。また ISSCC 等の学会では 4Gbit DRAM が発表されるに至り^[24]、複数世代にわたる研究・開発が加速されている。一方で DRAM は規格汎用品であるために、日本、米国、韓国、台湾等の半導体メーカーの過剰生産による市場価格の低下と、その結果としてのメーカーの収益悪化という悪循環が何度か繰り返されてきた。そのため最近では、最先端の大容量 DRAM に向けて開発した超微細加工プロセスを、現在市販中の DRAM に適用してチップ面積を最小にし、製造コストの削減をよりいっそう図るという傾向が見え始めた。その結果、チップ面積が 40mm^2 を切る 64Mbit DRAM や^[25]、128Mbit という従来のトレンドにあてはまらない容量の DRAM も開発されるようになった^[23]。また大容量・低価格という特徴だけでなく、システム LSI の高付加価値化を目指し、マイクロプロセッサ等のロジック回路と一体化する embedded-DRAM の研究も盛んに行われるようになっている^[26,27]。

DRAM の大容量化、つまりメモリセルの微細化は、よく知られているスケーリング則^[28]によって継続的に進展している。しかしセル内のキャパシタ容量はスケーリング則に従わず、セルがどれほど微細化されても、読み出しや書き込み、耐 α 線エラーのマーヅン確保のために 1 セルあたり少なくとも 25~30fF 以上の一定の容量が必要となる。したがって、大容量 DRAM の研究・開発においては、いかにしてセルキャパシタの単位面積あたりの容量を向上させるかが重要な課題となってくる。図 1.1 に各世代の DRAM のチップ面積、セル面積、キャパシタ面積とキャパシタ容量及びキャパシタ絶縁膜の SiO_2 換算膜厚(t_{eq})を示す。ここで t_{eq} は以下の式(1-1)によって定義された量であ

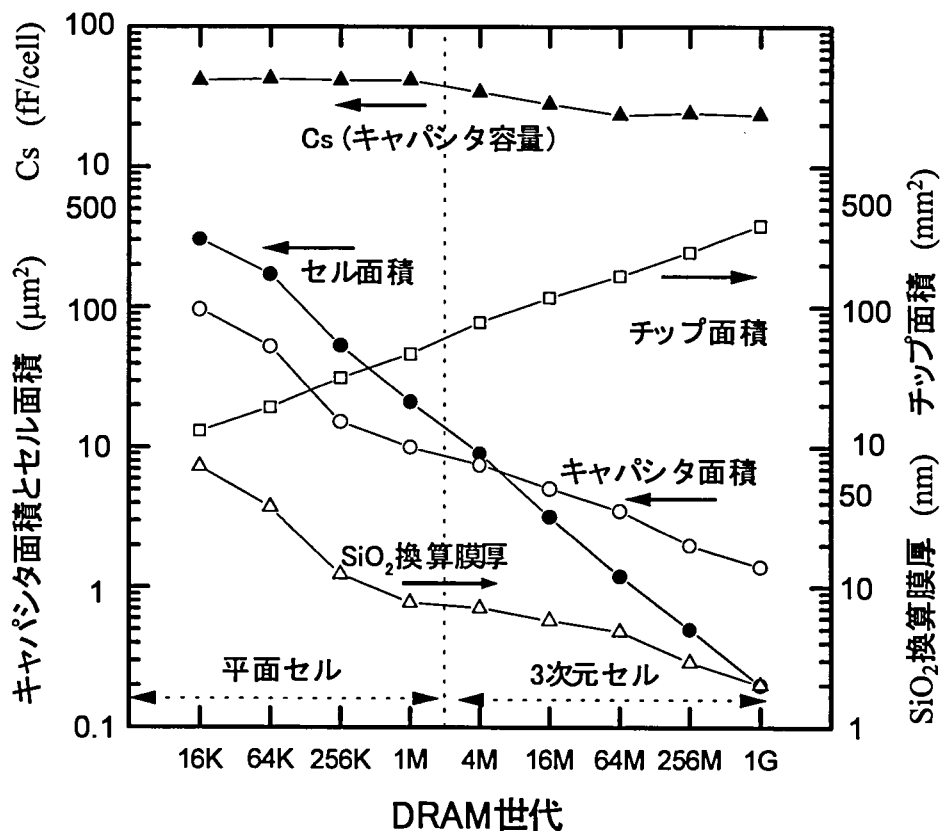


図 1.1 DRAM の微細化と各デバイスパラメータ

り、誘電率の異なるキャパシタ絶縁膜の電荷蓄積能力を比較することができる。

$$t_{eq} = \frac{3.9 \times d}{\epsilon_r} \quad \dots (1-1)$$

ここで、 d は絶縁膜の膜厚、 ϵ_r は絶縁膜の誘電率である。

チップ面積が世代毎に約 1.5 倍に増加するのは、主に光露光技術の制約により、セル面積の縮小率が理想値の 0.25 倍より大きな約 0.37 倍となるためである。しかしながら、キャパシタ容量は世代を越えてほぼ一定に保たれていることがわかる。すなわち単位面積あたりの容量は世代毎に増加している。1MbitDRAM までは、単位面積あたりの容量増加はキャパシタ絶縁膜である SiO_2 (誘電率 3.9) の物理的膜厚を薄くすることで実現されてきた。しかし 4MbitDRAM 以降では、単純に SiO_2 の薄膜化のみでは必要となる容量を蓄積できず、 SiO_2 よりも誘電率の大きな Si_3N_4 (誘電率

7)との積層膜を用いたり、図 1.2 に示すスタック型やトレンチ型と呼ばれる 3 次元的な立体構造のキャパシタを採用し、電極の表面積を実効的に増加させたりすることにより、必要とされる容量を確保するようになった。この傾向は現在の 64MbitDRAM や 128MbitDRAM まで続き、容量絶縁膜には $\text{SiO}_2/\text{Si}_3\text{N}_4(\text{ON})$ 膜や $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2(\text{ONO})$ 膜が用いられ、図 1.3 に示すように、シリンダ型やフィン型、粗面シリコン(Hemispherical grain(HSG))の採用など、様々なキャパシタ構造やプロセスが提案されて一部実用化されている。

ところが、このような複雑な電極構造の採用と、横方向寸法のさらなる微細化はもはや両立が難しい。直方体あるいはシリンダ型の下部電極を用いて、64MbitDRAM から 4GbitDRAM までのセルキャパシタを作製する場合における、下部電極の高さと横方向の大きさの関係を図 1.4 に示す。パラメータは teq であり、様々な絶縁膜材料を想定している。ここで図 1.4 には複数のキャパ

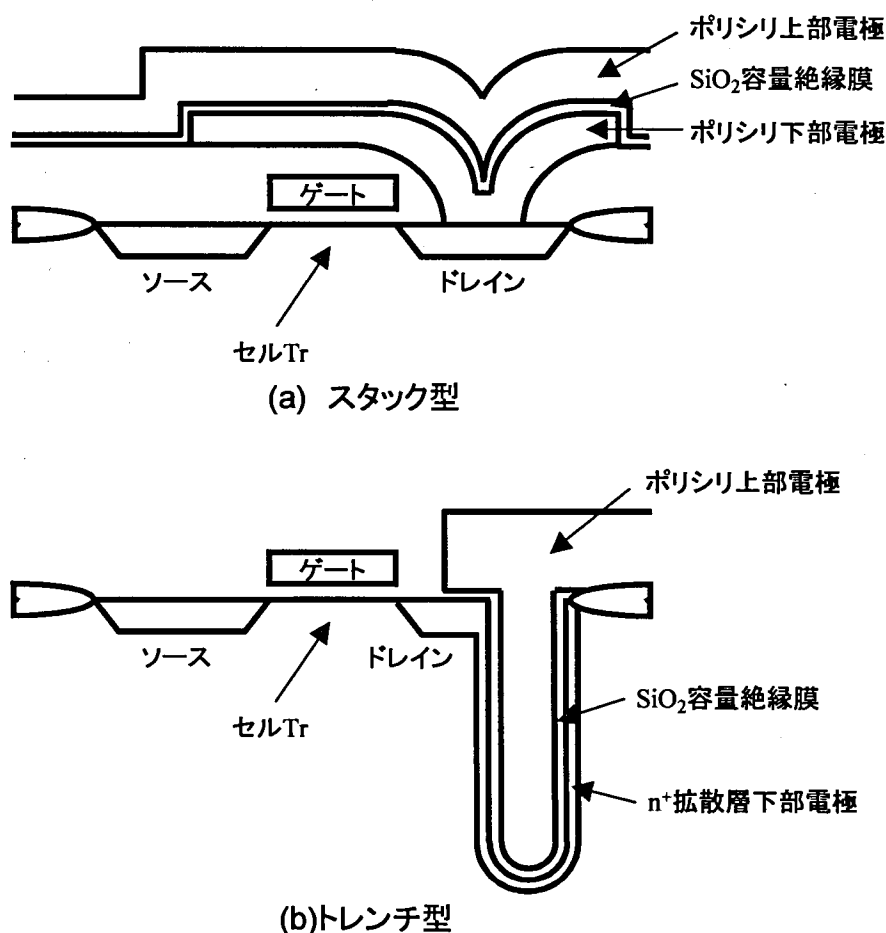


図 1.2 DRAM の 3 次元構造メモリセル(1)
— スタック型とトレンチ型 —

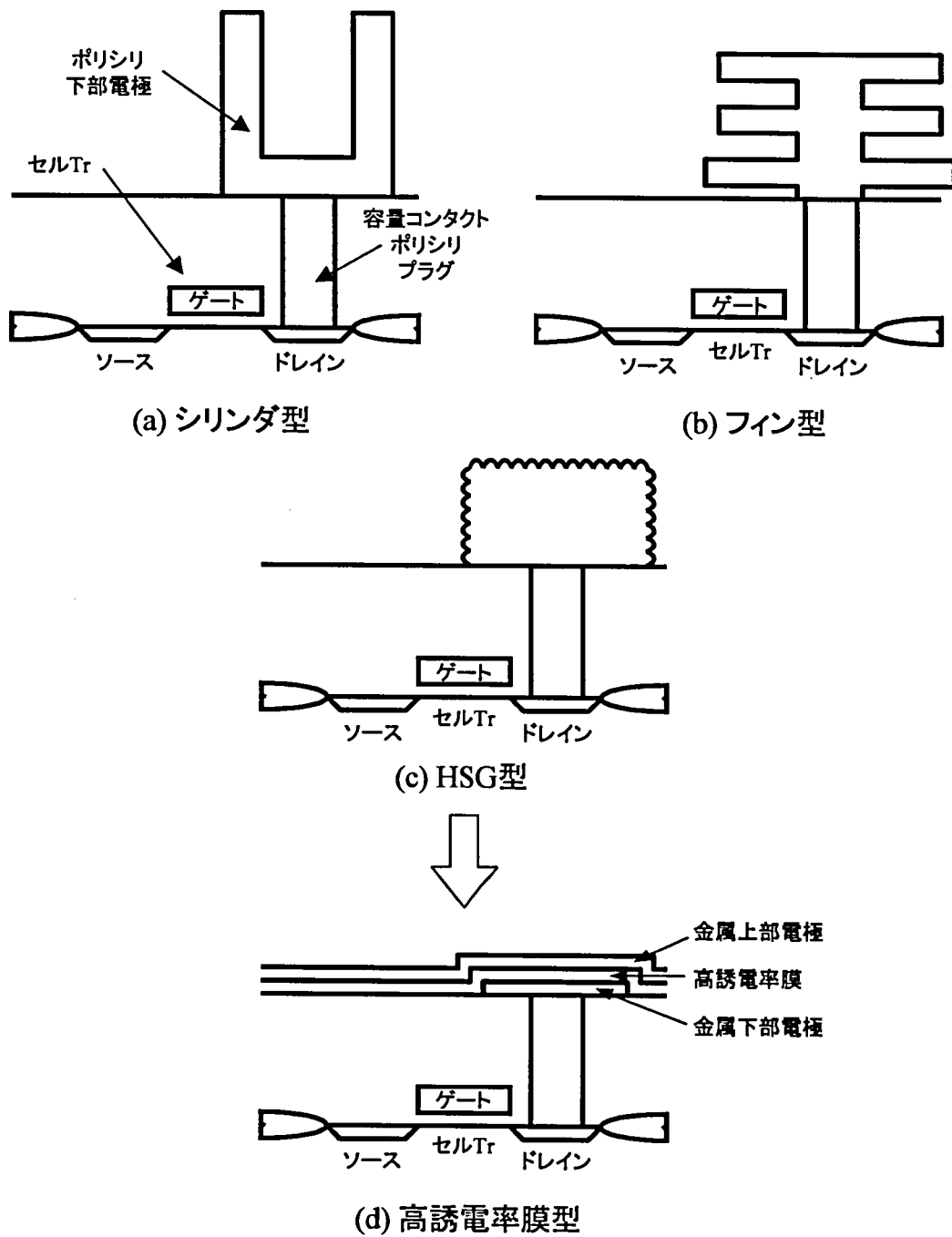


図 1.3 DRAM の 3 次元構造メモリセル(2)
—シリンダ型、フィン型、HSG 型と高誘電率型の比較—

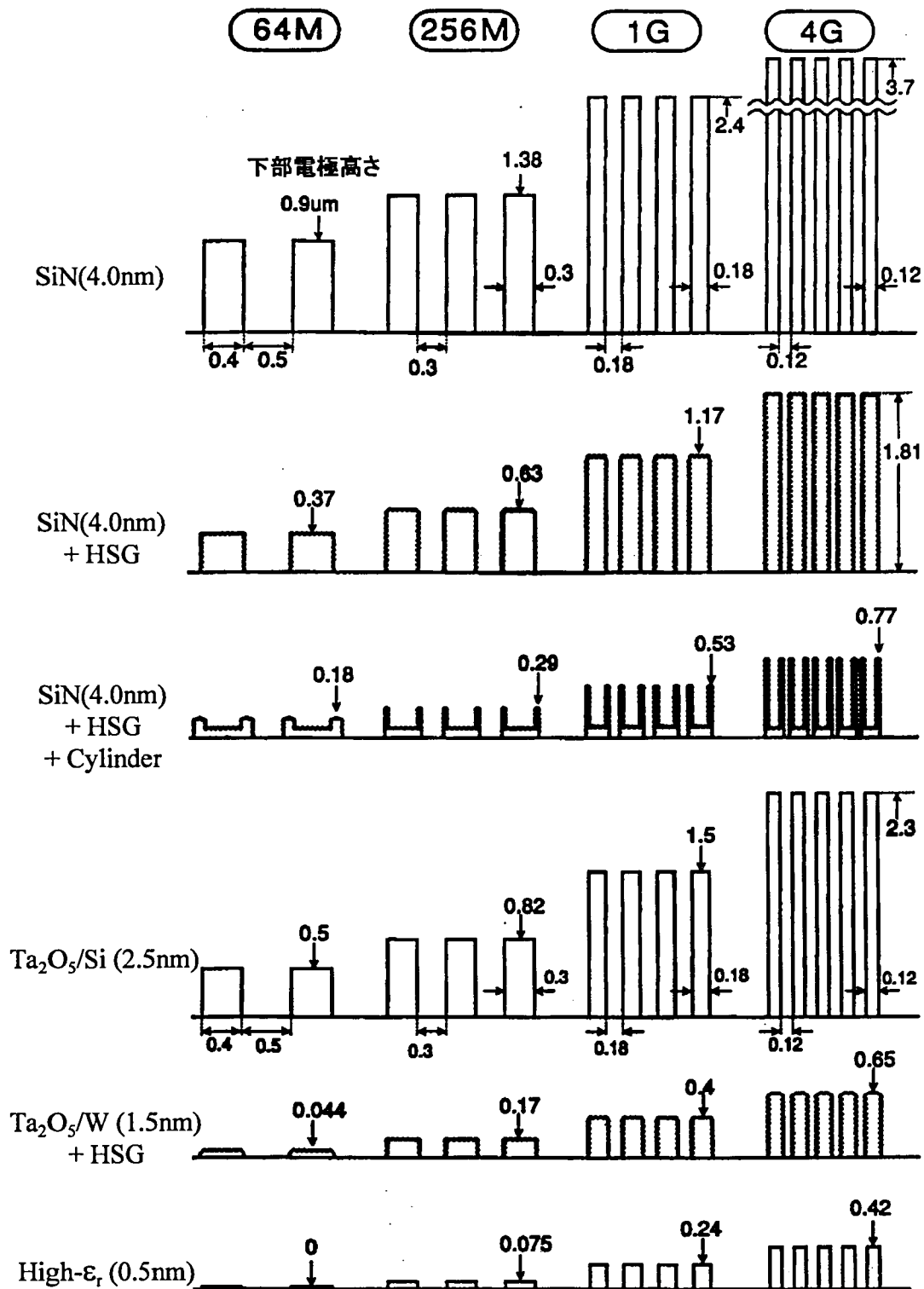


図 1.4 大容量 DRAM のセルキャパシタ構造
—teq と下部電極高さの比較—

シタの下部電極のみを表示してあり、セルトランジスタや容量絶縁膜、上部電極は表示していない。 $t_{eq}=4\text{nm}$ の Si_3N_4 膜を用いた場合、64MbitDRAMでもすでにスタック電極高さは $0.9\mu\text{m}$ に達する。256MbitDRAM や 1GbitDRAM ではそれぞれ $1.4\mu\text{m}$ 、 $2.4\mu\text{m}$ と高くなり、量産性の観点から非現実的な値となる。シリンダ型やHSGの採用、さらには誘電率が Si_3N_4 膜(誘電率 7)より大きな Ta_2O_5 膜(誘電率 25)などを用いることによって、図 1.4 に示すように電極高さは低減される。しかし依然として、1GbitDRAM においても $0.4\mu\text{m}$ 以上の高さとならざるを得ない。

そこで、キャパシタの容量を規定するもう一つのパラメータである誘電率を増加させることによって、キャパシタ構造を単純化し、大容量を実現する方向が強く望まれるようになってきた^[29]。もし $t_{eq}=0.5\text{nm}$ 級の絶縁膜を用いることができれば、図 1.4 に示すように、64MbitDRAM において必要な電極高さは計算上ゼロとなり、図 1.3(d)に示すような平坦な構造でも必要な容量を実現できるようになる。この電極高さの飛躍的な低減は、キャパシタ作製後に続く層間絶縁膜の形成工程の簡略化や、配線工程における露光やエッチングのプロセスマージンの拡大につながり、Gbit 級 DRAM の実現へと道を開くことになる。

1.1.3 (Ba,Sr)TiO₃系薄膜の特徴

1980 年代前半において高誘電率膜と呼ばれていたのは、 SiO_2 や Si_3N_4 よりも誘電率が 4~5 倍程度大きな Ta_2O_5 や TiO_2 であった。しかし現在、狭義に高誘電率薄膜と呼ばれているものは、ペロブスカイト構造を有する酸化物薄膜がほとんどであり、その誘電率は室温で SiO_2 、 Si_3N_4 や Ta_2O_5 の誘電率と比べて 1 桁以上大きく、約 300~1000 程度の値を示す。これは SiO_2 等の誘電率の起源である電子分極成分に加えて、ペロブスカイト型酸化物薄膜の特徴である酸素イオンの 8 面体に囲まれた Ti イオンの格子振動等のイオン分極成分が重畳しているためである。ペロブスカイト型薄膜としては、強誘電体である前述の PZT 薄膜が良く知られており、文献[22]や[23]に示すようにシリコン ULSI への集積化例も数多く報告されている。しかし DRAM への応用に関する限り PZT 薄膜が最適であるとは言えない。不揮発性メモリとして強誘電性そのものを利用する場合には、残留分極値の大きな PZT 系が適しているが、単純に高誘電率特性を利用する場合は、 BaTiO_3 と SrTiO_3 の混晶である $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (BST)系薄膜のほうが有利な点が多い。以下 BST 薄膜の特徴を PZT 薄膜と比較しながら述べる。

まず誘電特性の点に関して述べる。図 1.5 に示すように、BST はバルクセラミクスでは、その Ba/Sr 組成比によって、キュリー点が数 K の極低温から 120°C まで連続して変化し、PZT と同様に、

室温で強誘電性を示す組成も存在する。しかし BST を薄膜として作製する場合、多くはセラミックスのような 1000°C 以上のプロセス温度を採用できないために、強誘電性を示す正方晶ではなく擬立方晶へと結晶化して、常誘電性を示すようになる。このことはむしろ DRAM 応用には適している。つまり強誘電体薄膜では、印加電圧の繰り返しによる残留分極値の低下、いわゆる疲労現象が問題となっているが、常誘電体薄膜の場合はそもそも印加電圧に比例した分極成分しか利用しないため、疲労のような分極劣化の問題は発生しない。したがって、メモリセルの設計を従来の $\text{SiO}_2/\text{Si}_3\text{N}_4$ 系絶縁膜の延長線上で考えることができる。

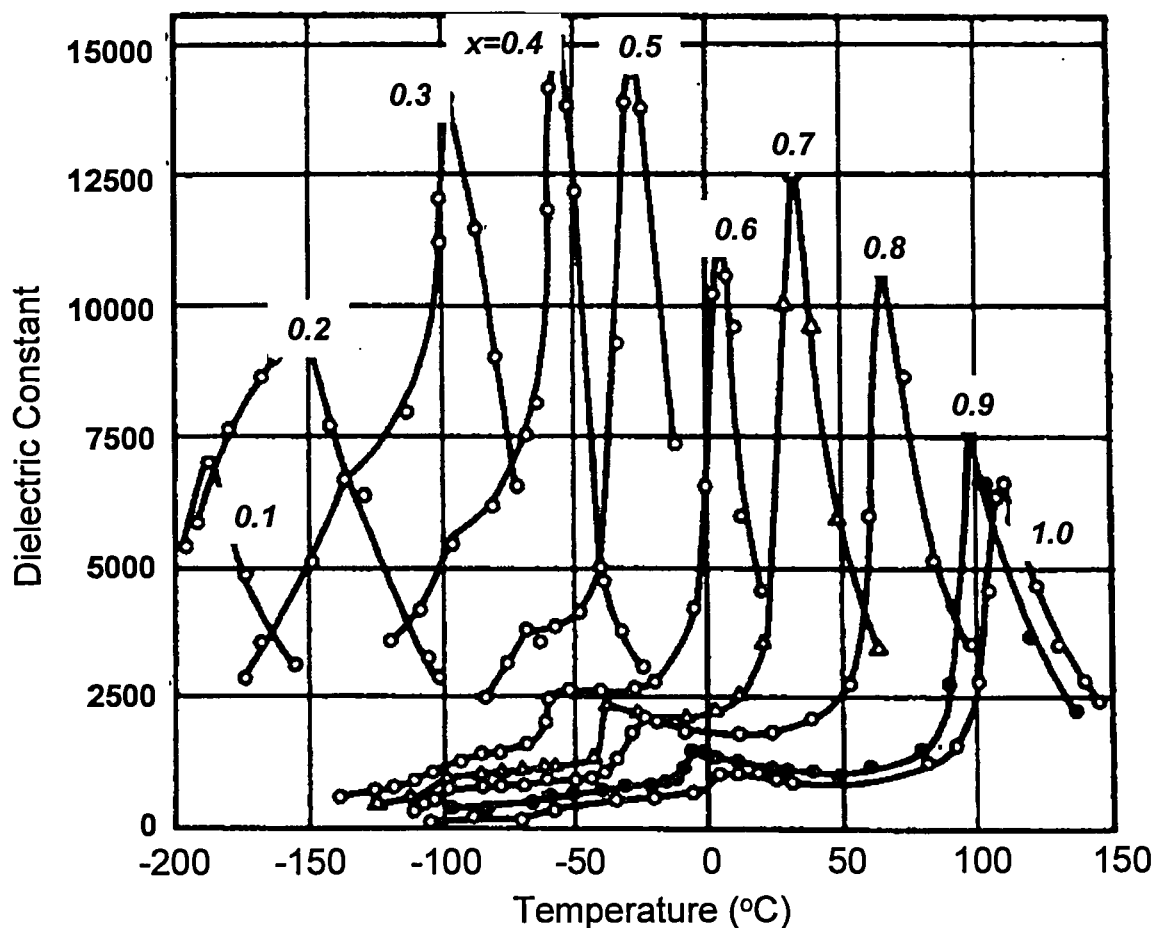


図 1.5 $(\text{Ba}_x, \text{Sr}_{1-x})\text{TiO}_3$ セラミックスにおける誘電率の温度依存性

次に有利な点として Si 系材料との反応性の低さが挙げられる。BST を Si あるいは SiO_2 上に直接成膜しても、その構成元素である Ba、Sr、Ti は顕著な界面拡散を生じない^[30]。一方、PZT を Si

上や SiO_2 上に成膜すると、Pb が Si または SiO_2 と容易に反応して基板内へ拡散するため、 TiO_2 などの何らかのバリア層が必要となってくる。 SiO_2 系の層間絶縁膜が随所に用いられている DRAM を想定した場合、BST の方が PZT よりも、構造やプロセスを簡略化できる点で有利である。

最後に、BST 薄膜は組成制御が容易であり、目的とする結晶相が得やすいことも特徴である。例えば一般的なスパッタ法を用いて成膜する場合、BST ではほぼターゲットの組成が膜組成に反映される^[31]。また結晶相もペロブスカイト相のみであるため、高温成膜や熱処理によって目的の結晶相と高誘電率を実現しやすい。一方、PZT では PbO の蒸気圧が Zr や Ti の酸化物よりも大きいために、高温プロセスでは Pb 組成不足が発生しやすい。また結晶相には目的とするペロブスカイト相以外に、低温で安定な酸素欠損状態のパイロクロア相が存在する。パイロクロア相を避けてペロブスカイト相を得るためにプロセス温度を高くすると、Pb の欠損が大きくなり、組成変動が生じやすくなる。したがって、PZT の場合、一般に組織制御に細心の注意を払わなければならない。

1.1.4 (Ba,Sr) TiO_3 薄膜の Gbit 級 DRAM への応用

以上述べてきたように、高誘電率 BST 薄膜を DRAM に適用することができれば、1.1.2 節で示したようなキャパシタ構造の単純化とプロセスマージンの拡大をはかることができる。現在 BST 薄膜の t_{eq} の最小値としては、エピタキシャル成長させた場合のゼロバイアス時という特殊な条件下で 0.084nm という値が報告されているが^[32]、実際の DRAM 応用を想定した印加電圧 $\pm 1\text{V}$ の範囲内では 0.2~0.3nm 程度である^[33]。この特性によって 256MbitDRAM までは上記メリットを享受でき、まずはスパッタ法などの PVD 法によって BST 薄膜が作製され、その基本的な特性が評価された。しかしながら、BST 薄膜をさらに Gbit 級の大容量 DRAM においても使用することを考えると、現在大きな課題となっている「BST の薄膜化に伴い誘電率が低下する現象(誘電率の膜厚依存性)」のために、Gbit 級 DRAM で要求される容量を完全に平坦な構造のキャパシタで実現することは難しい。この状況を打開するためには、以下の 3 つの方向が考えられる。

- ①薄膜において BST 系よりもさらに大きな誘電率が期待できる新規材料を探索する。
- ②誘電率の膜厚依存性の原因を解明し、BST を薄膜化しても誘電率が低下しないプロセスを確立する。
- ③再び 3 次元的な立体構造を採用し、電極側面を利用して、現状の BST 薄膜を用いて、実効的な容量を増加させる。

①、②は現在も継続して研究が進められている重要なテーマであり、0.1nm 以下の t_{eq} を達成し、Gbit 級 DRAM のセルキャパシタを平坦な構造で作製することができれば、大きなブレイクスルーとなる。一方、現実的な解として③も重要である。図 1.4 に示したように、 $t_{eq}=0.5\text{nm}$ 程度の高誘電率膜でも、比較的作製が容易な単純直方体型の下部電極構造によって、 $0.42\mu\text{m}$ という現実的な下部電極高さで 4GbitDRAM を実現することができるからである。このように高誘電率材料と立体型構造を組み合わせる場合、平坦型構造では問題とならなかった次の 2 つの課題が生じてくる。1 つは、側面積を有効に利用するために、サブミクロン以下の寸法まで微細加工が可能な下部電極材料の選定である。もう 1 つはその下部電極側面において高誘電率特性を実現できる、段差被覆性に優れた CVD 法による BST 薄膜の作製技術の開発である。

1.1.5 下部電極の重要性 —Si との電氣的接続—

DRAM のセルキャパシタに高誘電率薄膜を用いる場合に、下部電極に関して注意しなければならない重要な観点がある。図 1.3 に示すように、DRAM のメモリセルにおけるキャパシタの下部電極は、シリコン基板上に形成された MOS トランジスタのソースドレイン領域と垂直方向に接続されている。この接続部である容量コンタクトには、従来から不純物をドーピングした poly-Si が用いられている。SiO₂ や Si₃N₄ を絶縁膜に用いたキャパシタの場合、下部電極にも同じ poly-Si が用いられているので、容量コンタクトと下部電極との電氣的接続や接触抵抗(コンタクト抵抗)には特に問題は生じない。しかし BST のような高誘電率薄膜は高温・酸化雰囲気中で作製されるために、Si 上に直接成膜すると BST/Si 界面に低誘電率の SiO_x 層が形成され、キャパシタ全体の容量が著しく低下する^[30]。一般にペロブスカイト型酸化物を用いたキャパシタには、Pt や Pd といった耐酸化性に優れる貴金属が電極として適しているが、これらの金属は Si と比較的低温で反応し、シリサイドを形成してしまう。したがって、容量コンタクトの poly-Si との電氣的接続を確保しながら、いかにして貴金属電極上で得られる高誘電率特性を実現するか、そのためにはどのようなバリアメタル構造を採用するかが、高誘電率薄膜を DRAM デバイスに搭載する際のもう 1 つの重要なキーポイントとなる。

1.2 本研究の目的と位置づけ

以上述べてきたように、高誘電率 BST 薄膜を大容量 DRAM に適用するために検討すべき課題としては、大きく分けて以下のような 3 つの項目が挙げられる。

- (1)BST 薄膜の作製条件の最適化 — 成膜条件や組成と誘電特性の関係の明確化
- (2)電極・バリア金属の最適化 — ポリシリコンとの接続と微細加工性の両立
- (3)インテグレーション技術の構築 — 実際のキャパシタ構造の作製

第 1 の課題に対して、本研究では、前半で主にイオンビームスパッタ法を用いて Pd 電極上に BST 薄膜を作製し、成膜時の基板温度や組成などの個々のプロセス条件が誘電特性にどのような影響を与えるのかを明確にする。また後半では ECR プラズマ MOCVD 法による BST 薄膜を用い、導電性酸化物である RuO₂ 電極上での誘電特性に関して検討を行う。特に、BST 薄膜が 50nm 以下の薄膜領域においても良好な絶縁性を保持することを示し、そのような極薄膜領域における誘電率を評価したのは本研究が初めてであり、その後の BST の薄膜化研究に指針を与えた点で意義があると考ええる。

第 2 の課題に対して、本研究では Pt 系下部電極に着目し、容量コンタクトを模した低抵抗 Si 基板と Pt の界面に種々のバリア金属を挿入した場合の界面構造を調べ、誘電特性の変化との関係を明らかにする。従来は MgO などの絶縁性の基板、あるいは SiO₂ によって Si と絶縁された SiO₂/Si 基板などを用いて評価されていたペロブスカイト型酸化物薄膜の研究分野に対し、新たに Si との電氣的接続を考慮したキャパシタ構造の評価を行ったという点に本研究の意義があると考ええる。

第 3 の課題に対して、本研究ではまず、Pt 系下部電極を用いた電極上面を利用する平坦型のキャパシタ構造の作製プロセスに関して検討する。次に立体型のキャパシタ実現を目指し、まず微細加工が可能な RuO₂ 電極の側面部において BST の高誘電率が実現できるかどうかという観点に対し回答を与える。そして RuO₂ 系下部電極を用いた電極側面を利用する立体型のキャパシタ構造作製プロセスを、ECR プラズマ MOCVD 法による BST 薄膜を用いて検討する。さらに、BST 薄膜を ULSI 製造ラインへ導入する前に、新規の元素である Ba と Sr が熱処理過程においてシリコン基板にどのような影響を与えるのかを明確にする。特に、立体構造の電極の側面においても

BST 薄膜本来の高誘電率が得られるという結果を示したのは本研究が初めてであり、平坦型構造から立体型構造へとペロブスカイト型酸化物薄膜の応用範囲を拡大することができた点に意義があると考ええる。

1.3 本論文の構成と概要

本研究は、Gbit 級の大容量 DRAM 実現に向けた高誘電率(Ba,Sr)TiO₃ 薄膜の作製とその誘電特性、および実際のキャパシタアレイへの適用結果についてまとめたものであり、第 1 章「序論」、第 2 章「平坦電極上への(Ba,Sr)TiO₃ 薄膜の作製とその誘電特性」、第 3 章「(Ba,Sr)TiO₃ キャパシタ用下部電極と平坦型キャパシタの作製」、第 4 章「立体電極上への(Ba,Sr)TiO₃ 薄膜の作製と DRAM セルキャパシタへの応用」、第 5 章「結論」から成る。第 2 章以下の各章の概要は以下の通りである。

第 2 章 平坦電極上への(Ba,Sr)TiO₃ 薄膜の作製とその誘電特性^[34-37]

イオンビームスパッタ法による BST 系薄膜の作製プロセスについて詳細な検討結果を述べる。高温酸化雰囲気でも平坦な表面を保持する Pd を下部電極に用い、イオンビームの加速電圧やビーム電流と BST の誘電率との関係を示す。次に、本研究以前の典型的な評価膜厚の約 5～10 分の 1 に相当する 50nm 程度の膜厚まで薄膜化しても、リーク電流は急激に増加することがないことを述べ、このような極薄膜領域における BST 薄膜の誘電率の評価結果を示す。その一方で、誘電率が BST の薄膜化に伴い低下する現象、いわゆる誘電率の膜厚依存性を示し、「2 層キャパシタモデル^[30]」によってこの誘電率の低下を説明する。さらにこれらの初期特性に加えて、絶縁特性の経時的な変化である絶縁破壊や抵抗劣化に関して議論する。BST の絶縁破壊現象が電界に依存すること、DRAM の動作電圧に対して本質的に 10 年以上の長期信頼性を有することを示す。また、高電界ストレス印加によって、低電界のリーク電流の増加が引き起こされる現象(Stress Induced Leakage Current (SILC))を定量的に評価し、その長期信頼性に及ぼす影響について議論する。

第 3 章 (Ba,Sr)TiO₃ キャパシタ用下部電極と平坦型キャパシタの作製^[38,39]

まず BST 薄膜の下部電極は、BST 成膜時の高温・酸化雰囲気中において、Si との電氣的接続を保持するバリアメタルとして機能する必要性があることを述べる。次に透過型電子顕微鏡 (Transmission Electron Microscope (TEM)) によって、Pt を上層に用いた 2 層構造バリアメタルと SrTiO₃ 薄膜の界面の構造変化を詳細に分析した結果を示す。SrTiO₃ に接する下部電極の上層には、Pt や Pd などの耐酸化性に優れる貴金属薄膜が適しているが、これらの貴金属が単層の場合は、BST 成膜時に容易にシリサイド合金を形成し、SrTiO₃ 堆積前に SrTiO₃/電極界面において低誘電率の SiO₂ 層を形成してしまう。すなわち、下部電極の下層には Si の拡散を抑制する金属が必要であり、Ti や Ta などの高融点金属薄膜が適している。また Pt/Ta の 2 層バリアメタルの表面モフォロジーの変化を調べた結果や、この Pt/Ta バリアメタルを用いて平坦型のキャパシタアレイを作製した結果について示す。

第 4 章 立体電極上への(Ba,Sr)TiO₃ 薄膜の作製と DRAM セルキャパシタへの応用^[40-45]

Gbit 級 DRAM への応用を目指し、立体構造の BST キャパシタの作製技術について検討した結果について述べる。Pt とは異なり、サブミクロンサイズに微細加工が可能な RuO₂ 電極を用い、RuO₂ の凹凸段差を形成して rf マグネトロンスパッタ法によって BST を成膜した結果について述べる。そして、BST 薄膜の段差被覆性が 100% でない場合における、立体電極の側面に堆積した BST 薄膜の誘電特性の評価結果を述べる。その後、立体構造上に均質な成膜が期待できる MOCVD 法による BST 膜を用い、基板温度 500°C as depo の状態で、RuO₂ 側面において優れた誘電特性が得られることを示す。最後に BST 薄膜を実際の ULSI ラインに導入する前に必要とされる Ba や Sr 不純物の汚染評価の結果について議論する。Ba や Sr は Si 基板上に強制汚染させても、熱処理によって基板深くに急速に拡散することではなく、表面の SiO₂ 酸化膜中あるいは SiO₂/Si 界面に留まること、基板中に拡散した Ba や Sr 不純物によってシリコン中のキャリアのライフタイムは影響を受けないことを示す。

第 5 章 結論

この章において本研究結果を総括し、結論をまとめるとともに、残された今後の検討課題について述べる。

第 1 章の参考文献

- [1] W. M. Regitz and J. A. Karp, ISSCC Tech. Dig., p.42 (1970).
- [2] R. Proebsting and R. Green, ISSCC Tech. Dig., p.28 (1973).
- [3] J. Bardeen and W. H. Brattain, Phy. Rev., 74, p.230 (1948).
- [4] E. Wainer and A. N. Salomon, Titanium Alloy Mfg. Co. Elec. Rep., 8, p.120 (1942).
- [5] B. M. Vul and I. M. Goldman, Comptes Rendus USSR, 46, p.139 (1945).
- [6] 小川, 物性論研究, No. 6, p.1 (1947).
- [7] J. Valasek, Phy. Rev., 17, p.475 (1921).
- [8] K. H. Hellwege and A. M. Hellwege eds., Landolt-Börnstein New Series, 16, Ferroelectrics and Related Substances, Oxides, (Springer-Verlag, New York, 1981)に多数。
- [9] W. J. Merz and J. R. Anderson, Bell Laboratories Record, p.355, Sep (1955).
- [10] E. Fazzuzo and W. J. Merz, Ferroelectricity (North-Holland, Amsterdam, 1967).
- [11] S. Y. Wu, IEEE Trans. Electron Devices, ED-21, p.499 (1974).
- [12] R. B. Atkin, Ferroelectrics, 3, p.213 (1972).
- [13] E. T. Keve, S. C. Abrahams, and J. L. Bernstein, J. Chem. Phys., 51, 4928 (1969).
- [14] K. Sugibuchi, Y. Kurogi, and N. Endo, J. Appl. Phys, 46, p.2877 (1975).
- [15] Y. Hamakawa, Y. Matsui, Y. Higuma, and T. Nakagawa, IEDM Tech. Dig., p.294 (1977).
- [16] 例えば M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano, H. Matsumoto, T. Nishimura, T. Nakano, and Y. Gamou, IEDM Tech. Dig., pp.578-581 (1980)と、K. Sunouchi, H. Takato, N. Okabe, T. Yamada, T. Ozaki, S. Inoue, K. Hashimoto, K. Hieda, A. Nitayama, F. Horiguchi, and F. Masuoka, IEDM Tech. Dig., pp.23-26 (1989)では、64KbitDRAM(設計ルール 3 μ m)から 64MbitDRAM(設計ルール 0.5 μ m)への進展が見られる。
- [17] J. G. Bednorz and K. A. Müller, Z. Phys. B, 64, p.189 (1986).
- [18] M. K. Wu, J. R. Ashburn and C. T. Torng, Phy. Rev. Lett, 58, No.9, p.908 (1987).
- [19] H. Adachi, K. Setsune, T. Mitsuyu, K. Hirochi, Y. Ichikawa, T. Kamada, and K. Wasa, Jpn. J. Appl. Phys. Lett., 26, No.5, p.L709 (1987).
- [20] R. B. Laibowitz, R. H. Koch, P. Chaudhari, and R. J. Gambino, Phy. Rev. B, 35, No.16, p.8821 (1987).
- [21] W. I. Kinney, W. Shepherd, W. Miller, J. Evans, and R. Womack, IEDM Tech. Dig., p.850

(1987).

[22] S. S. Eaton, D. B. Butler, M. Parris, D. Wilson, and H. McNeillie, ISSCC Tech. Dig., p.130 (1988).

[23] 日経マイクロデバイス 1997 年 10 月号、p.55 (1997).

[24] T. Murotani, I. Naritake, T. Matano, T. Ohtsuki, N. Kasai, H. Koga, K. Koyama, K. Nakajima, H. Yamaguchi, H. Watanabe, and T. Okuda, ISSCC Tech. Dig., p.74 (1997).

[25] 日経マイクロデバイス 1998 年 10 月号、p.106 (1998).

[26] J. Borel, ISSCC Tech. Dig., p.18 (1997).

[27] H. Ishiuchi, T. Yoshida, H. Takato, K. Tomioka, K. Matsuo, H. Momose, S. Sawada, K. Yamazaki, and K. Maeguchi, 1997 IEDM Tech. Dig., 33 (1997).

[28] R. H. Dennard, F. H. Gaensslen, H.-N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, IEEE J. Solid-State Circuits, SC-9, No.5, p.256 (1974).

[29] L. H. Parker and A. F. Tasch, IEEE Circuits & Devices Magazine, Jan., p.17 (1990).

[30] S. Matsubara, T. Sakuma, S. Yamamichi, H. Yamaguchi, and Y. Miyasaka, Mat. Res. Soc. Symp. Proc., Vol.200, p.243 (1990).

[31] Y. Miyasaka and S. Matsubara, IEEE 7th ISAF Proc., p.121 (1990).

[32] N. Fukushima, K. Abe, M. Izuha, T. Schimizu, and T. Kawakubo, IEDM Tech. Dig., p.257 (1997).

[33] K. P. Lee, Y. S. Park, D. H. Ko, C. S. Hwang, C. J. Kang, K. Y. Lee, J. S. Kim, J. K. Park, B. H. Roh, J. Y. Lee, B. C. Kim, J. H. Lee, K. N. Kim, J. W. Park, and J. G. Lee, IEDM Tech. Dig., p.907 (1995).

[34] S. Yamamichi, T. Sakuma, K. Takemura, and Y. Miyasaka, Jpn. J. Appl. Phys., 30, No.9B, p.2193 (1991).

[35] S. Yamamichi, T. Sakuma, T. Hase, and Y. Miyasaka, Mat. Res. Soc. Symp. Proc., Vol.243, p.297 (1992).

[36] S. Yamamichi, H. Yabuta, T. Sakuma, and Y. Miyasaka, Appl. Phys. Lett., 64, No.13, p.1644 (1994).

[37] S. Yamamichi, A. Yamamichi, D. Park, T.-J. King, and C. Hu, IEEE Trans. Electron Devices, 46, No.2, p.342 (1999).

- [38] T. Sakuma, S. Yamamichi, S. Matsubara, H. Yamaguchi, and Y. Miyasaka, *Appl. Phys. Lett.*, 57, No.23, p.2431 (1990).
- [39]山道、佐久間、松原、山口、宮坂, 第 51 回応用物理学会学術講演会予稿集 p.444, 29a-C-9 (1990).
- [40] K. Tokashiki, K. Sato, K. Takemura, S. Yamamichi, P-Y. Lesaichere, H. Miyamoto, E. Ikawa, and Y. Miyasaka, *Dry Process Symp. Proc.*, p. 73 (1994).
- [41] S. Yamamichi, K. Takemura, T. Sakuma, H. Watanabe, H. Ono, K. Tokashiki, E. Ikawa, and Y. Miyasaka, *IEEE 9th ISAF Proc.*, p.74 (1994).
- [42] S. Yamamichi, P-Y. Lesaichere, H. Yamaguchi, K. Takemura, S. Sone, H. Yabuta, K. Sato, T. Tamura, K. Nakajima, S. Ohnishi, K. Tokashiki, Y. Hayashi, Y. Kato, Y. Miyasaka, M. Yoshida, and H. Ono, *IEDM Tech. Dig.*, p.119 (1995).
- [43] S. Yamamichi, P-Y. Lesaichere, H. Yamaguchi, K. Takemura, S. Sone, H. Yabuta, K. Sato, T. Tamura, K. Nakajima, S. Ohnishi, K. Tokashiki, Y. Hayashi, Y. Kato, Y. Miyasaka, M. Yoshida, and H. Ono, *IEEE Trans. Electron Devices*, 44, No.7, p.1076 (1997).
- [44] S. Yamamichi, Y. Muramatsu, P-Y. Lesaichere, and H. Ono, *Jpn. J. Appl. Phys.*, 34, No.9B, p.5188 (1995).
- [45] S. Yamamichi, T. Hayashi, P-Y. Lesaichere, T. Iizuka, and S. Nishimoto, *Abst. of 8th Int. Symp. on Integrated Ferroelectrics*, Mar. 18-20, Tempe AZ, p.44c (1996).

第2章 平坦電極上への(Ba,Sr)TiO₃薄膜の作製とその誘電特性

2.1 緒言

高誘電率 BST 薄膜の基本的な誘電特性を調べるうえで、まず微細加工や配線プロセス等の影響の無い平坦なキャパシタ構造を用いて評価することが重要である。BST 薄膜はスパッタ法等の物理的成膜法(PVD 法)によって比較的容易に組成制御が行え、良好な結晶性が得られることが筆者の所属するグループによって確認されている^[1,2]。つまり conventional な rf マグネトロンスパッタ法(以下、rf スパッタ法)により、ミクロン・オーダーの厚膜ではなく、100~500nm 程度のサブミクロン・オーダーの薄膜を作製した場合でも、電氣的に短絡せず絶縁膜が得られる。しかしながら、100nm 以下の薄膜領域においてさらなる低リーク電流化を図り、高品質な絶縁膜を得るためには、他の様々な成膜手法を検討する必要があった^[3,4]。

本章では、PVD 法の中でイオンビームスパッタ法に着目し、平坦電極上の BST 薄膜の誘電特性や構造を評価した結果について述べる。特にイオン源の加速電圧(ビーム電圧)と、出力であるビーム電流を独立に制御することにより、得られる薄膜の誘電率がどのように変化するのかについて言及する。また BST を 50nm 程度にまで薄膜化してもリーク電流特性が劣化しないことを述べ、断面の微細グレイン構造の TEM による観察結果と合わせて、rf スパッタ法との比較を行う。さらに、キャパシタの初期特性だけでなく、電圧加速試験を行い BST 薄膜の長期信頼性について検討した結果を示す。長期信頼性の評価に関しては定電圧印加による絶縁破壊寿命の見積もりと抵抗劣化現象の定量的考察を行う。

2.2 SrTiO₃ 薄膜の作製とその誘電特性

2.2.1 イオンビームスパッタ法の特徴

BST 薄膜の検討に先立ち、まず構成元素の 1 つ少ない SrTiO₃ 薄膜の作製をイオンビームスパッタ法により行った。Miyasaka と Matsubara の rf スパッタ法による検討結果によれば、200～500 °C の基板温度の範囲内では、SrTiO₃ 薄膜のほうが BaTiO₃ 薄膜より、室温において大きな誘電率を示す^[2]。この傾向はバルクセラミクスと逆である。誘電率の大きな良好な結晶性の BaTiO₃ 薄膜を得るためには、かなり高い基板温度が必要であるのに対し、SrTiO₃ 薄膜のほうは比較的低温での結晶化が進むため、薄膜における誘電率の大小がセラミクスと逆転していると考えられる。本研究において BaTiO₃ 薄膜ではなく SrTiO₃ 薄膜を出発組成としたのも、この結果を踏まえたためであり、さらに付け加えるならば、DRAM 応用に関しては、室温付近で強誘電性ではなく常誘電性が好ましいためである^[5,6]。

実験に使用した装置図を図 2.1(a)に示す。イオンビームスパッタ法の最も大きな特徴は、ターゲット及び基板とは独立にプラズマ源を有することである。図 2.1(b)にイオンガン－ターゲット間におけるイオンのポテンシャル図を示す。Ar などのスパッタガスのプラズマをイオン源の中で発生させ、それをグリッドで加速して引き出し、ターゲットに照射することによってスパッタリング現象を起こさせる。通常の rf スパッタ法と比べて以下のような長所がある。

- (1) 基板がプラズマに直接曝されないため、薄膜へのプラズマダメージが少ない。
- (2) 1 桁以上高い真空度で成膜できるため、より緻密で高品質な薄膜が得られる。
- (3) 被スパッタ粒子のエネルギーが 10 eV 程度と高く、rf スパッタ法の 1 eV と比べて大きい
ため、結晶性に優れた薄膜が得られる。
- (4) イオンビームのビーム電圧、ビーム電流、基板温度、酸素分圧等をそれぞれ独立に制御
でき、成膜条件の自由度が大きい。
- (5) イオン源、基板、及びターゲットの配置が任意であり、装置設計上の自由度が大きい。

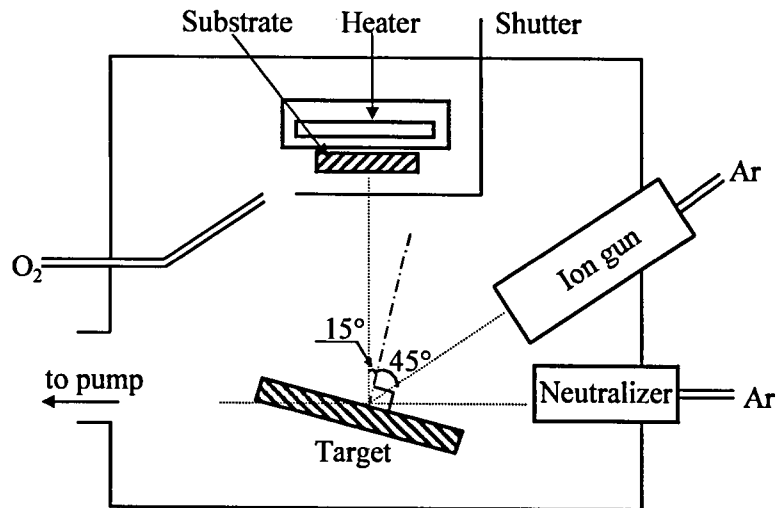
短所としては以下のような点が挙げられる。

- (1) 基板の大口径化はイオン源の大口径化やビームの均一性に依存し、一般に技術的に難

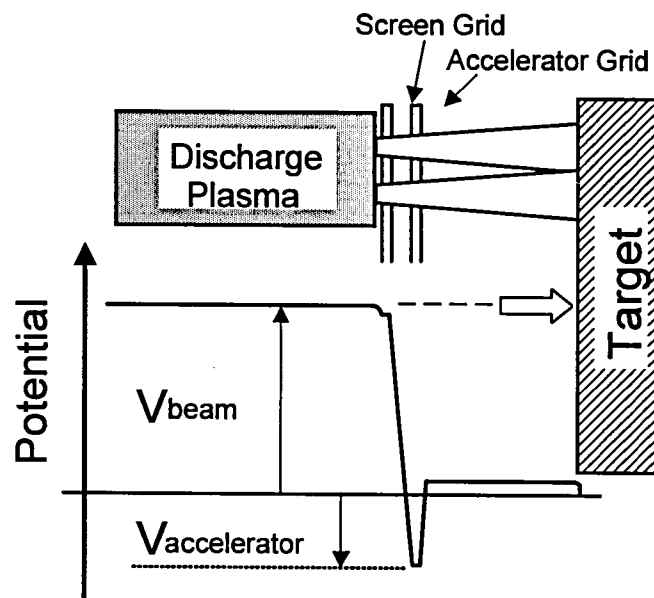
しく、高コストである。

(2)成膜速度は rf スパッタ法より遅く、膜厚の制御性は良好だが、スループットが小さい。

(3)ターゲットで反跳した Ar 等のスパッタ粒子が薄膜に取り込まれやすい。



(a)装置図



(b)イオンガンとターゲット間におけるイオンのポテンシャル図

図 2.1 本研究で用いたイオンビームスパッタ装置図

本実験で用いたイオンビームスパッタ装置は筆者の所属するグループが独自に設計を行ったものであり、イオン源は Kauffman 型のホローカソードタイプ(Ion Tech, Inc 製 HC-252)である。絶縁体のターゲットをスパッタリングするので、スパッタ中のチャージアップを防止するために、図 2.1(a)に示すようにニュートライザ(Ion Tech, Inc 製 HCN-252)がターゲット面に向かって設置されている。ターゲットは水平面から 15°傾いている。そのターゲットの法線方向から 45°傾いた角度からイオンビームが入射する。基板はターゲットの法線方向から 15°傾いた上方にあり、基板表面は鉛直下方を向いている。基板付近に O_2 ガスを直接導入することができる。イオンガンターゲット間距離は約 100 mm、ターゲットー基板間距離は約 180 mm である。成膜時の圧力は約 2×10^{-4} Torr である。この時の気体分子の平均自由行程は約 540 mm となり、本装置のレイアウトでは、被スパッタ粒子は他の気体分子と衝突することなく基板に到達する。

2.2.2 キャパシタの作製方法と誘電特性の評価方法

$SrTiO_3$ 薄膜の作製条件を表 2.1 に示す。基板は R 面サファイア($\alpha-Al_2O_3(10\cdot2)$)である。キャパシタの下部電極として、Pd(500nm)を dc マグネトロンスパッタ法により基板温度室温にて成膜した。Pd を用いた理由は、

- (1)Pt と同じ貴金属であり、高温酸化雰囲気中でも導電性が失われない、
- (2)酸化しても PdO_x は導電性であり、下部電極として作用する、
- (3)Pt でしばしば観察されるヒロックの形成が見られず、数 100 nm の大きな柱状グレインから成る平坦な表面構造を有していて、Pt よりも基板への密着性が良い、

ためである。また SiO_2/Si 基板は SiO_2 の熱膨張係数が小さいためにプロセス途中で剥離を生じやすい。したがって基礎的な特性を効率よく評価する実験には、少し熱膨張係数の大きなサファイア基板が適当であると考えて採用した。成膜中の Ar と O_2 の分圧はそれぞれ、 1.2×10^{-4} Torr、 $0 \sim 1.0 \times 10^{-4}$ Torr であり、 O_2 ガスを導入しない成膜も行った。基板温度は $430 \sim 600$ °C であり、イオンビームのビーム電圧とビーム電流はそれぞれ 700~1100 V、30~60 mA である。ターゲットは $SrTiO_3$ の焼結体、または粉末を Cu のターゲット皿に充填し加圧したものを用いた。膜厚は $SrTiO_3$ 薄膜の一部をフッ硝酸液 ($HF:HNO_3:H_2O=1:1:10$) でエッチング除去し、表面段差計 (DEKTAK-3030)にて測定した。成膜速度は 1.3~3.2 nm/min である。キャパシタの上部電極とし

て、Au(300nm)/Ti(50nm)の積層膜をdc マグネトロンスパッタ法により基板温度室温にて作製し、フォトリソグラフィー法とウェットエッチングにより300 μm 角のサイズにパターニングした。AuとTiのエッチング液は、それぞれ KI:I₂:H₂O 混合液、HF:H₂O 混合液である。キャパシタの断面図を図 2.2 に示す。

表 2.1 SrTiO₃ 薄膜の作製条件

Substrate	Pd(500nm) / Al ₂ O ₃ (10 \cdot 2)
Target	SrTiO ₃ ceramics or powder
Substrate temperature	430 \sim 600 $^{\circ}\text{C}$
Ar gas pressure	1.2×10^{-4} Torr
O ₂ gas pressure	0 \sim 1×10^{-4} Torr
Beam voltage	700 \sim 1100 V
Beam current	30 \sim 60 mA
Gun-target distance	100 mm
Target-substrate distance	180 mm
Deposition rate	1.5 \sim 3.0 nm/min

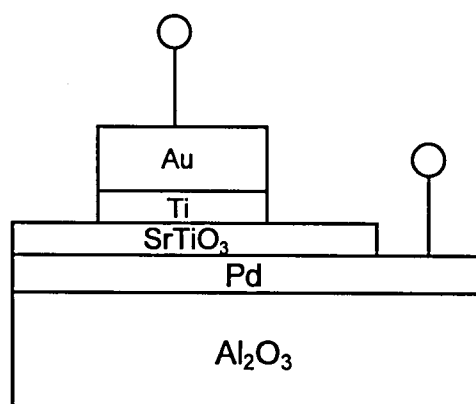


図 2.2 キャパシタ構造

容量 C と誘電損失 $\tan\delta$ はインピーダンスアナライザ(HP-4194A)を用い、100 Hz から 10 MHz までの周波数領域で測定した。そして顕著な容量の周波数依存性が無いことを確認した上で、10

kHz 時の容量値を用いて誘電率を計算した。リーク電流特性は電圧源/電流計(Keithley 617)を用い、階段状の直流電圧を印加して電流測定を行った。これらの電気特性の評価はすべて室温で行った。

2.2.3 O₂ ガスの導入効果

まず基板付近に直接 O₂ ガスを吹き付ける効果について述べる。ターゲットには酸化物である SrTiO₃ を用いており、rf スパッタ法では Ar ガス 100 %でスパッタした場合でも良好な絶縁性の SrTiO₃ 薄膜が得られている^[1]。したがって、実験当初は、イオンビームスパッタ法でも過剰な O₂ ガスは不要であると予想したが、実際には異なる結果となった。基板温度 430 °C、ビーム電圧 1000 V、ビーム電流 40 mA の条件下において、O₂ ガスを導入しない場合と、2 sccm(O₂ 分圧にして 2×10^{-5} Torr)を導入しながら成膜した場合の SrTiO₃ の XRD 回折パターン、及び格子定数の値を図 2.3 に示す。どちらもペロブスカイト立方晶に結晶化した SrTiO₃ の回折ピークが観測される。しかし O₂ ガス無しの場合よりも O₂ ガスを 2 sccm 流しながら成膜したほうが、回折ピークの強度が大きく、格子定数も単結晶の値($a = 3.90 \text{ \AA}$)に近い。また O₂ ガス無しの場合、SrTiO₃ 薄膜は黒褐色を呈し、約 $4 \text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する導電性の薄膜となった。一方、O₂ ガスを 2 sccm 流しながら成膜すると、誘電率が 170 の透明な絶縁膜が得られた。これら 2 つの SrTiO₃ 薄膜中の酸素濃度を Rutherford Backscattering Spectrometry (RBS)により評価した結果、O₂ ガス無しで作製した SrTiO₃ 薄膜のほうが、O₂ ガスを 2 sccm 流しながら作製した SrTiO₃ 薄膜よりも、酸素は約 10 atom% 少なかった。O₂ ガスの流量をさらに 10 sccm(O₂ 分圧にして 1×10^{-4} Torr)まで増加させても、誘電率はほとんど変化しなかったため、O₂ ガスの流量を 5 sccm と固定して標準条件とした。これはイオンガンとニュートライザへの Ar ガス導入量がそれぞれ 2.5 sccm ずつであり、O₂ ガスの導入量がそれらの総和を超えないようにするためである。このようなガス流量を選択することにより、イオン源のグリッドやホローカソード等の酸化による劣化を防止することができる。

rf スパッタ法と異なり、イオンビームスパッタ法で Ar ガス 100 %で成膜すると、酸素欠損による導電性の SrTiO₃ 薄膜が得られるのは、イオンビームスパッタ法では、成膜中に SrTiO₃ ターゲットからスパッタされた酸素の分圧が、ほぼ 1 桁以上小さいためであると思われる。

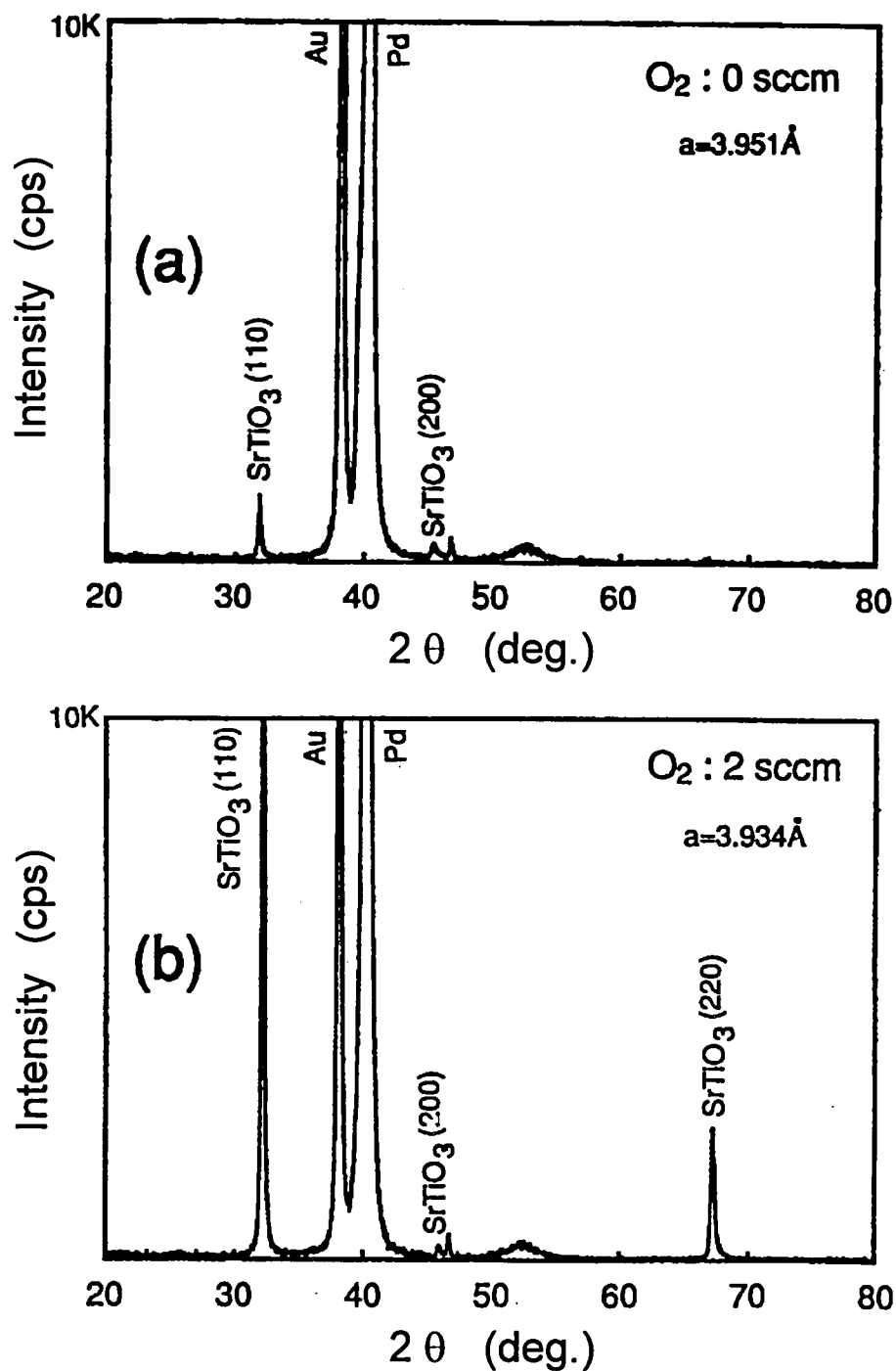


図 2.3 成膜中に O_2 ガスを流した場合と流さなかった場合の SrTiO_3 薄膜の XRD パターン

2.2.4 基板温度依存性

SrTiO₃ 薄膜を作製する際の基板温度が、誘電率及び格子定数に及ぼす影響を調べた。SrTiO₃ 薄膜の膜厚は 100~200 nm であり、作製後の熱処理は特に何も施さない as depo の状態で評価した。図 2.4 に誘電率と格子定数の基板温度依存性を示す。比較のために rf スパッタ法による SrTiO₃ 薄膜の誘電率も合わせて示す。イオンビームスパッタ法により作製した SrTiO₃ 薄膜は、基板温度 430 °C において誘電率 190 が得られ、誘電率は基板温度の上昇に伴って 250 まで増加する。この時、格子定数は 3.94 Å から 3.92 Å まで減少し、単結晶の値に近づく。誘電率に関しては rf スパッタ法による SrTiO₃ 薄膜とほぼ同等であり、100 nm 以上の膜厚領域では特に両手法の差異は見いだせない。全体の傾向として、基板温度が高いほど SrTiO₃ の結晶性が向上して誘電率が大きくなり、600 °C においてバルクセラミックスの誘電率(320)に近い値が得られていることがわかる。つまり SrTiO₃ 薄膜の誘電率と結晶性には密接な関係があり、バルクセラミックスの格子定数に近い良好な結晶性を実現することが、高誘電率の実現に向けて重要であると言える。また、600 °C においてすでにバルクセラミックスの 80%近い誘電率が得られていることから、SrTiO₃ は低温で成膜した場合においても比較的高い誘電率を示す材料であり、DRAM への応用に適していることもわかる。

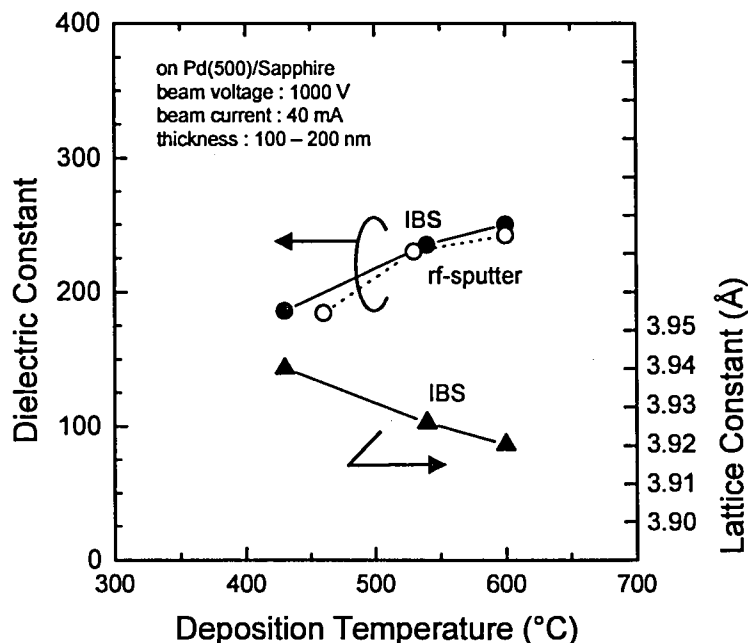


図 2.4 SrTiO₃ 薄膜の誘電率と格子定数の基板温度依存性

2.2.5 イオンビームのビーム電圧とビーム電流の影響

次にスパッタ Ar イオンのビーム電圧とビーム電流を独立に変化させ、SrTiO₃ 薄膜の誘電率に及ぼすそれらの影響について検討した結果について述べる。ビーム電圧の変化は Ar イオンの運動エネルギー、つまり被スパッタ粒子の運動エネルギーの変化に対応する。一方、ビーム電流の変化は Ar イオンの数(密度)、つまり成膜速度の変化に対応する。通常の rf スパッタ法ではこれらを独立に制御できないが、前述のようにイオンビームスパッタ法では可能である。誘電率のビーム電圧依存性とビーム電流依存性をそれぞれ図 2.5 と図 2.6 に示す。基板温度 430 °C の場合は SrTiO₃ 膜厚 60 nm(●印)と 100 nm(■印)、基板温度 540°C の場合は 60 nm(▲印)について評価した。ビーム電圧 1000 V とビーム電流 40 mA を標準条件とし、ビーム電圧を 700 V から 1100 V に変化させるときはビーム電流を 40 mA で一定とし、ビーム電流を 30 mA から 60 mA に変化させるときはビーム電圧を 1000 V で一定とした。

まず図 2.5 より、ビーム電圧の上昇に伴って誘電率は増加し、基板温度が低い場合ほど誘電率はビーム電圧に大きく依存していることがわかる。基板温度が 430 °C の場合、ビーム電圧が 700 V から 1100 V に増加すると、SrTiO₃ 膜厚によらず、誘電率は約 100 から 200 までほぼ 2 倍に増加する。基板温度が 540 °C の場合は、誘電率が全体的に基板温度 430 °C の場合よりも大きいいため、ビーム電圧依存性は顕著ではなくなるが、依然としてビーム電圧の増加に伴い誘電率は徐々に増加する。

一方、図 2.6 より、誘電率はビーム電流には依存しないことがわかる。ここで SrTiO₃ の成膜速度との関係を議論するために、成膜速度のビーム電圧及びビーム電流依存性を、図 2.7 と図 2.8 にそれぞれ示す。成膜速度はビーム電圧とビーム電流のいずれにもほぼ正比例して大きくなる。したがって、図 2.6 におけるビーム電流 30 mA と 60 mA の条件では、図 2.8 に示すように成膜速度は約 2 倍異なっているが、作製された SrTiO₃ 薄膜の誘電率はほぼ等しいという結果となっている。以上より、スパッタ粒子の SrTiO₃ 薄膜の誘電率に及ぼす影響が考察できる。つまり、誘電率を決定する SrTiO₃ 薄膜の結晶性は、明らかにスパッタ粒子の運動エネルギーによって支配されていて、成膜速度、つまりスパッタ粒子の密度には依存しない。スパッタ粒子のエネルギーが大きいほど、スパッタされた被スパッタ粒子(SrTiO₃)の運動エネルギーも大きくなり、基板に到達した後のマイグレーションが十分に行われて結晶化が進む。マイグレーションは基板への飛来粒子自身のエネルギーだけでなく、基板からの熱エネルギーでも促進されるため、基板温度が 540 °C と高い場合にはビーム電圧依存性が相対的に小さくなる。一方、スパッタ粒子の密度だけが変化しても、被スパ

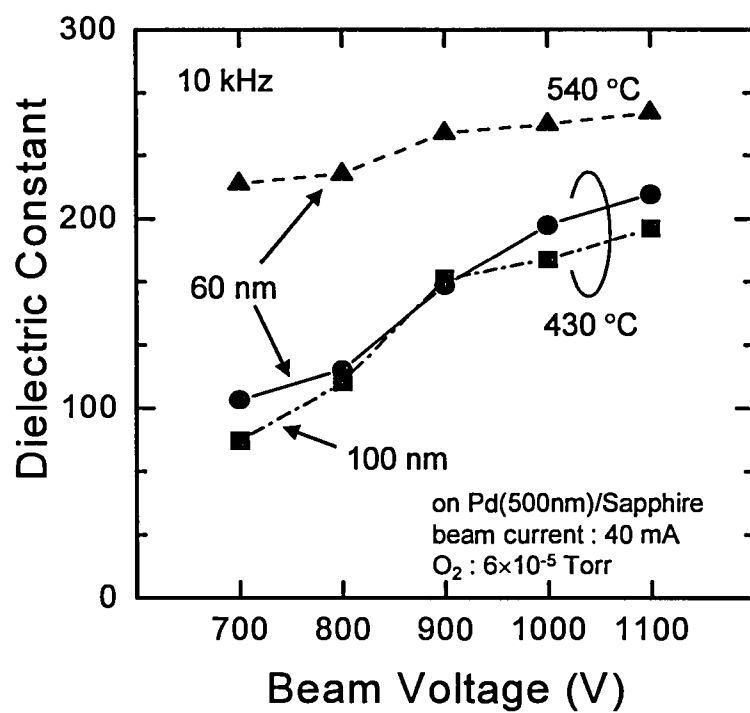


図 2.5 SrTiO₃ 薄膜の誘電率のビーム電圧依存性

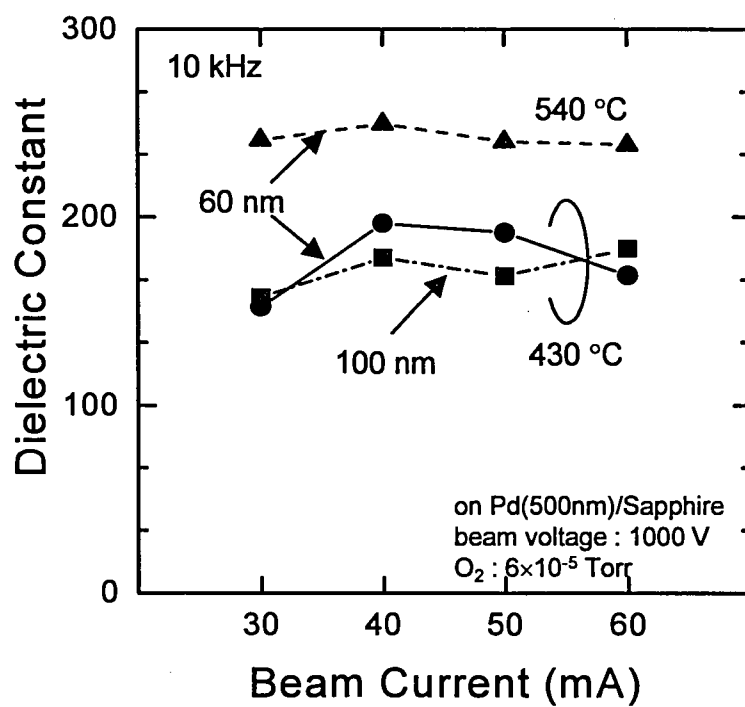


図 2.6 SrTiO₃ 薄膜の誘電率のビーム電流依存性

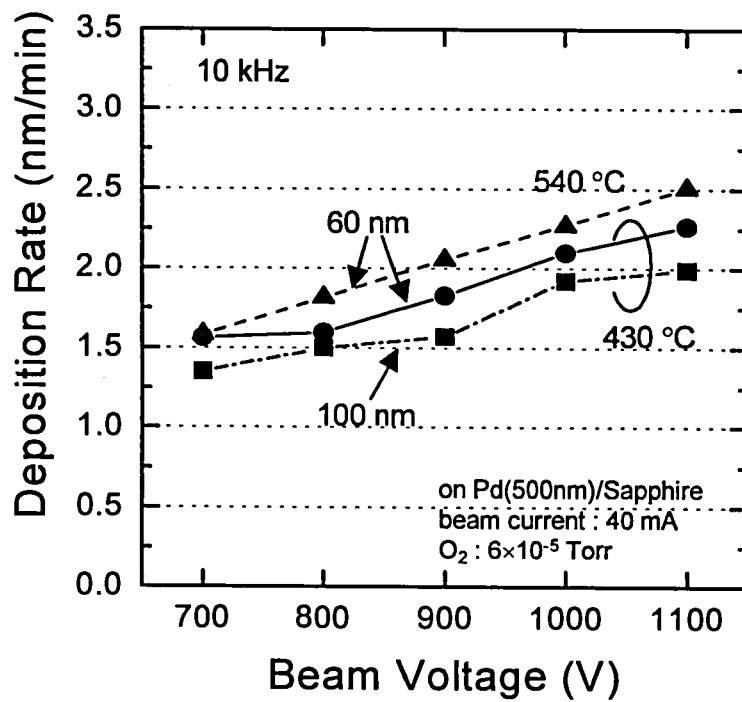


図 2.7 SrTiO₃ 薄膜の成膜速度のビーム電流依存性

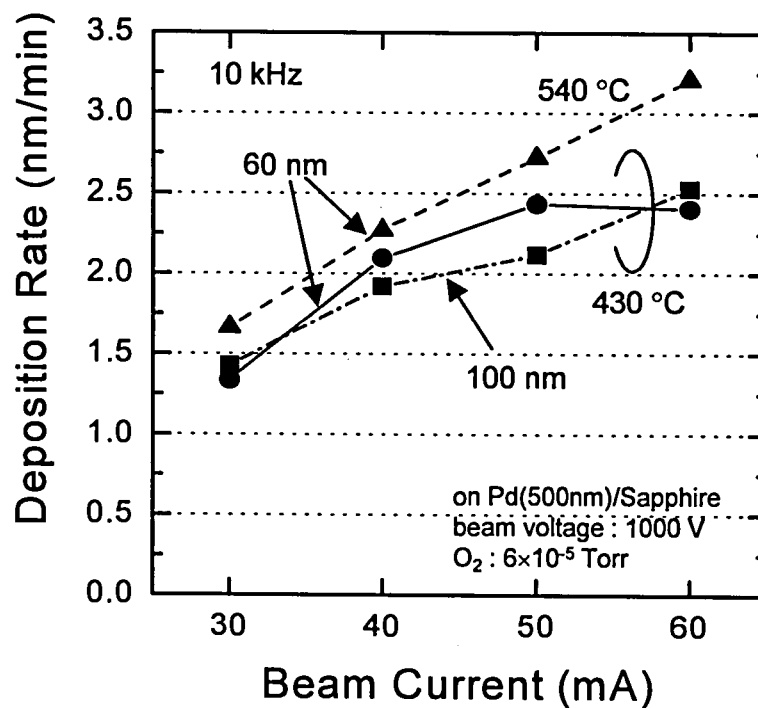


図 2.8 SrTiO₃ 薄膜の成膜速度のビーム電流依存性

ッタ粒子の運動エネルギーが一定であれば、マイグレーションも同程度となり、結果的に誘電率も等しくなると考えられる。

したがって、今回の実験の範囲を越えた 1500~2000 V 等のビーム電圧でスパッタを行えば、430 °C という低温でも 540 °C 並の高誘電率を示す SrTiO₃ 薄膜が得られる可能性がある。実際、基板温度 430 °C、ビーム電圧 1100 V で作製された SrTiO₃ 薄膜の誘電率は、ほぼ同程度の基板温度で rf スパッタ法により作製された SrTiO₃ 薄膜の誘電率を上回っている。ここで、ビーム電圧による誘電率向上の原因を調べるために、430 °C で成膜した SrTiO₃ 薄膜の XRD 分析を行った。得られた BST(220)ピークの強度とビーム電圧の関係を図 2.9 に示す。ピークの半値幅にはあまり変化が見られないが、ビーム電圧の増加によって XRD 回折強度は徐々に大きくなっており、誘電率向上は SrTiO₃ 薄膜の結晶性の改善によるものであることが再確認できる。

一般に、基板に飛来する粒子のエネルギーは真空蒸着法で 0.1 eV、rf スパッタ法で 1 eV 程度であるのに対し、イオンビームスパッタ法では 10 eV 近くの高エネルギーとなると言われている。今回の結果は SrTiO₃ のようなペロブスカイト型酸化物薄膜の系においても、同じようなエネルギーの大小傾向があることを示唆しており、飛来粒子のエネルギーの実測を行えば、より明確な差異を見出すことができると思われる。

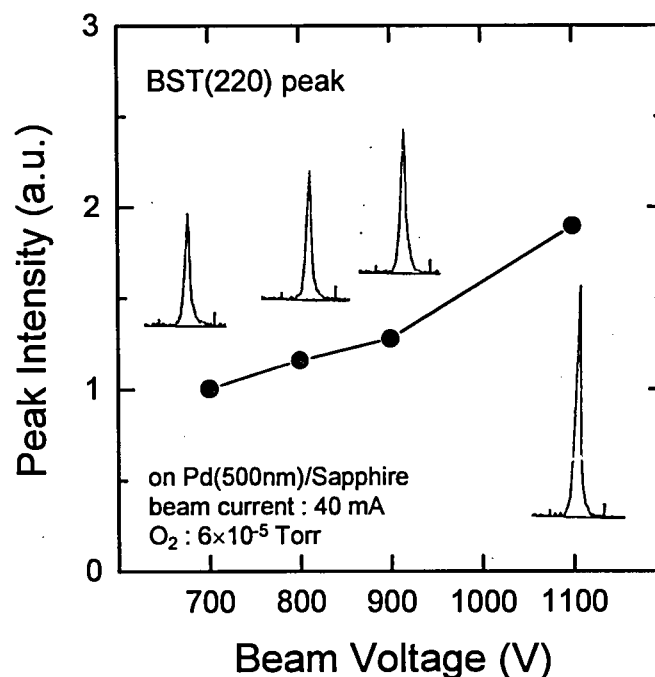


図 2.9 XRD ピーク強度のビーム電圧依存性

2.2.6 誘電率の SrTiO₃ 膜厚依存性と 2 層構造モデルによる評価

イオンビームスパッタ法により、高品質の SrTiO₃ 薄膜が 100～200 nm の膜厚範囲で得られることがわかったので、さらなる薄膜化を検討した。図 2.10 に基板温度 430 °C と 540 °C で作製した SrTiO₃ 薄膜の誘電率の膜厚依存性を示す。ビーム電圧は 1000 V、ビーム電流は 40 mA である。基板温度が 430 °C の場合、20～50 nm まで薄膜化しても誘電率は 190 という高い値が得られる。さらに 10 nm という極薄膜においてもキャパシタは短絡せず、誘電率の評価は可能であり、誘電率は約 90 となる。この膜厚領域は、本研究以前に報告されていた典型的な評価膜厚の約 5 分の 1 から 10 分の 1 に相当する。このような 50 nm 以下の極薄膜領域において、100 以上の高い誘電率を実現したのは本研究が最初であり、SrTiO₃ 薄膜の薄膜化限界に対して、ひとつの目安となる初期の重要なデータを示すことができたと言える。リーク電流値は、SrTiO₃ 膜厚が 50 nm までは +1～2 V の低電界において 10^{-8} A/cm² 以下である。しかし、SrTiO₃ 膜厚が 20 nm になると 10^{-7} A/cm² 台に、10 nm では 10^{-5} A/cm² 台へと増加する。

基板温度が 540 °C の場合、50 nm まで薄膜化しても誘電率は約 230 という高い値となり、40 nm で 200 まで減少する。さらに膜厚を小さくすると、キャパシタが短絡して誘電率の評価は不可能であった。基板温度の上昇に伴い、下部電極 Pd の表面ラフネスが増加したため、電気的特性の評価に耐えうる薄膜化限界が 430 °C 成膜よりも厚くなったと思われる。

図 2.10 に示すように、誘電率が膜厚の減少に伴い急激に低下する、いわゆる「誘電率の膜厚依存性」が今回の結果で明らかとなった。しかし現時点でもなお、その誘電率の低下原因を探る研究は継続されており、未だ明確な解答は得られていない。考えられる要因としては、

- (1) SrTiO₃ 薄膜と電極との界面に低誘電率の遷移層が存在し、SrTiO₃ 膜厚が小さくなると、その遷移層の影響が相対的に顕在化してくる、
- (2) SrTiO₃ 薄膜そのものに大きな内部応力が存在し、薄膜化するとその応力によって格子が歪み、イオン分極量が小さくなる、
- (3) SrTiO₃ 薄膜の高誘電率の起源そのものが格子の長距離秩序に依存したものであり、薄膜化により格子数が減少すると本質的に誘電率が低下する、

などが挙げられる。本研究では、(1)の「遷移層と誘電体層の 2 層構造モデル^[1]」を用い、図 2.10 で得られた結果について考察を行う。

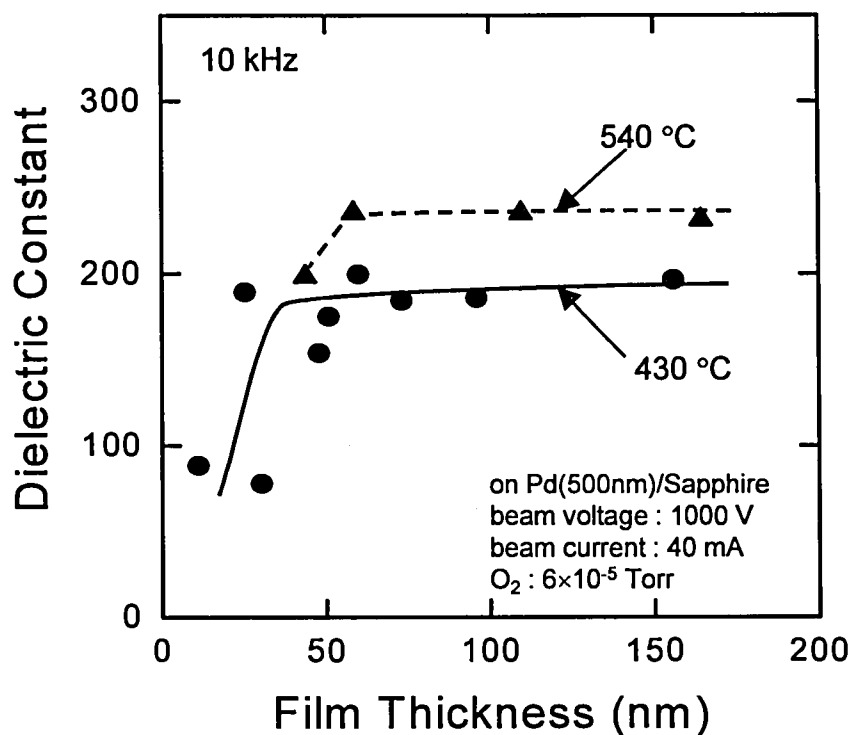


図 2. 10 SrTiO₃ 薄膜の誘電率の膜厚依存性

図 2.11 に示すように、作製されたキャパシタが、SrTiO₃ 薄膜本来の高誘電率を持つ誘電体層キャパシタ部と、電極界面などに存在すると思われる低誘電率の遷移層キャパシタ部の 2 層キャパシタの直列接続であると仮定する。この場合、実際に測定される全体のキャパシタンス C は、誘電体層と遷移層のキャパシタンスをそれぞれ C_1 、 C_2 とすると、以下のように表される。

$$1/C = 1/C_1 + 1/C_2 \quad \dots (2-1)$$

誘電体層と遷移層の誘電率をそれぞれ ϵ_1 、 ϵ_2 、膜厚をそれぞれ、 d_1 、 d_2 とし、真空の誘電率を ϵ_0 、電極面積を S とすると、上式は、

$$\epsilon_0 \cdot S/C = (1/\epsilon_1) \cdot d_1 + (1/\epsilon_2) \cdot d_2 \quad \dots (2-2)$$

となる。ここで表面段差計により測定したキャパシタ全体の膜厚を d とし、 d_2 は d_1 に比べて十分小さ

く無視できると仮定して $d_1 \approx d$ と考えると、式(2-2)は以下ようになる。

$$\epsilon_0 \cdot S/C \approx (1/\epsilon_1) \cdot d + (1/\epsilon_2) \cdot d_2 \quad \cdots (2-3)$$

図 2.10 の結果を、縦軸を $\epsilon_0 \cdot S/C$ として再プロットした結果が図 2.12 である。430 °C と 540 °C のどちらの基板温度に対しても、ほぼ直線傾向が得られ y 切片も存在することから、作製された SrTiO₃ 薄膜キャパシタは、図 2.11 のような 2 層キャパシタの直列接続とみなして良く、実測キャパシタンスには低誘電率な遷移層キャパシタの影響が含まれていることがわかる。(2-3)式より、この直線の傾きの逆数から誘電体層、すなわち SrTiO₃ 薄膜の本来の誘電率 ϵ_1 を求めることができ、y 切片からは、低誘電率の遷移層の寄与分である d_2/ϵ_2 を求めることができる。基板温度が 430 °C と 540 °C の場合で、SrTiO₃ 薄膜本来の誘電率(ϵ_1)は、それぞれ 190 と 240 となり、図 2.10 において SrTiO₃ 薄膜 50 nm 以上で実測された誘電率とほぼ一致する。また d_2/ϵ_2 は小さく、0.1 nm 以下であることがわかる。したがって、今回の SrTiO₃ 薄膜の場合、誘電率の膜厚依存性の原因となる遷移層の膜厚は非常に小さいと推測される。

本節で得られた SrTiO₃ 薄膜の特性の中で、最も単位面積あたりの容量の大きな、基板温度 540°C、膜厚 53nm のキャパシタの容量及び誘電損失($\tan\delta$)の周波数依存性とリーク電流特性を、図 2.13 と図 2.14 にそれぞれ示す。容量値は測定周波数 100 Hz から 10 MHz までわずかに減少傾向を示すが、顕著な緩和型の周波数分散は見られない。 $\tan\delta$ が 10 MHz 近辺で増加しているのは測定系の抵抗成分のためであって本質的なものではない。ここで 10 kHz の容量値から求めた単位面積あたりの容量(C_s)と SiO₂ 換算膜厚(t_{eq})は以下ようになる。

$$C_s = 39 \text{ [fF}/\mu\text{m}^2] \quad \cdots (2-4)$$

$$t_{eq} = 0.88 \text{ [nm]} \quad \cdots (2-5)$$

研究当時において 1nm 以下となる t_{eq} 値の報告は本研究が始めてであり、最も優れた誘電特性であった。リーク電流も +2 V まで 10^{-8} A/cm² 以下の良好な値が得られている。なお電圧の印加方向は上部電極 Au/Ti に正電圧を印加した場合であり、負電圧を印加した場合は 1 桁程度増加した。これは SrTiO₃ の膜厚が小さい場合、リーク電流は SrTiO₃ 薄膜と電極界面との Schottky 接合によ

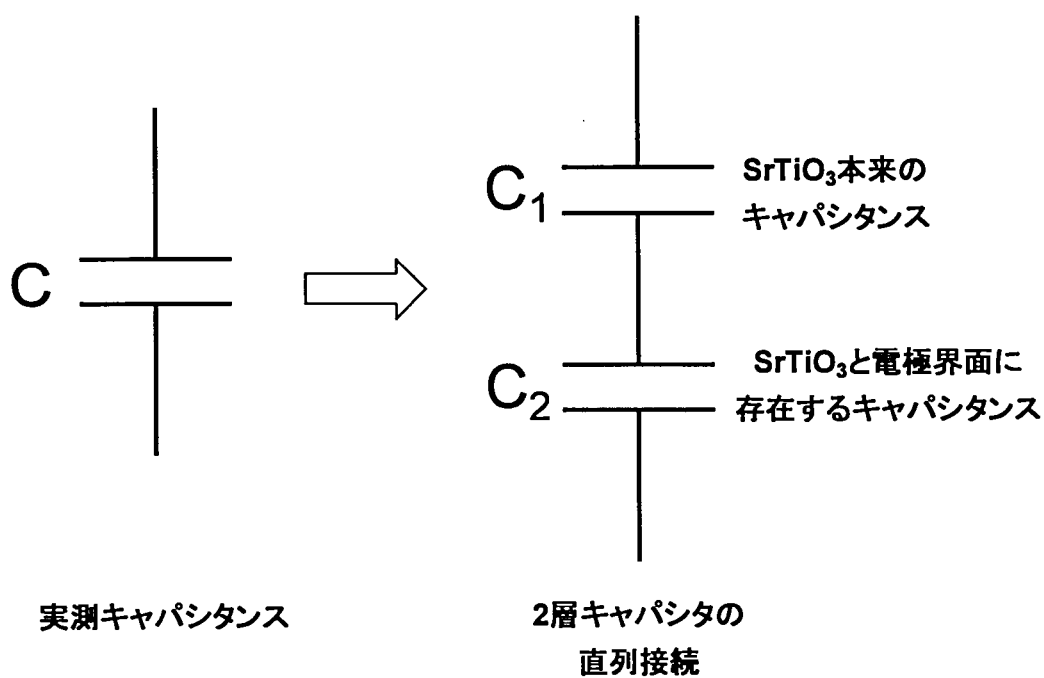


図 2.11 2層キャパシタモデル

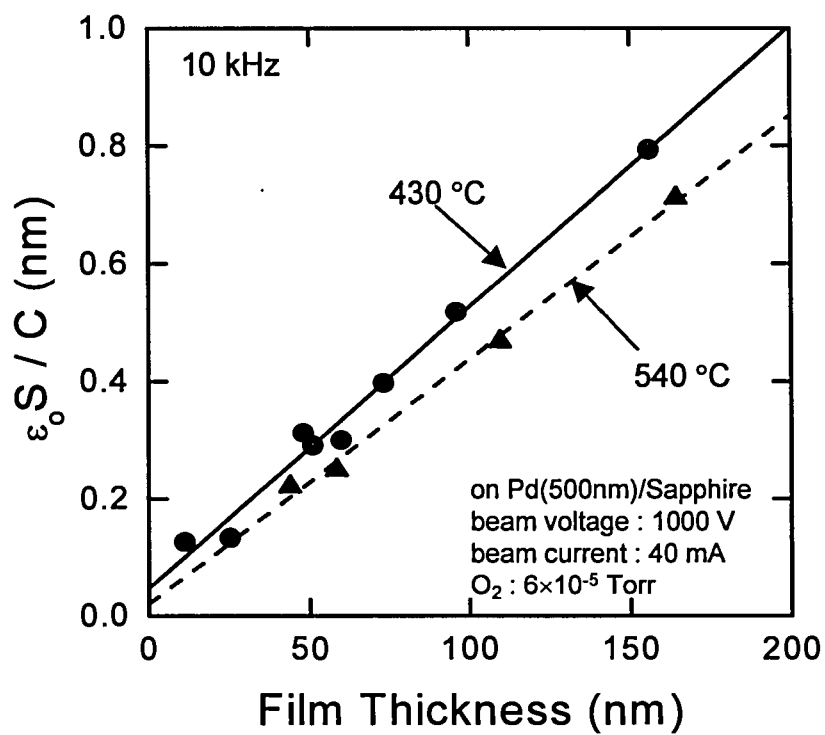


図 2.12 SrTiO₃ 薄膜における $\epsilon_0 S / C$ vs. d プロット

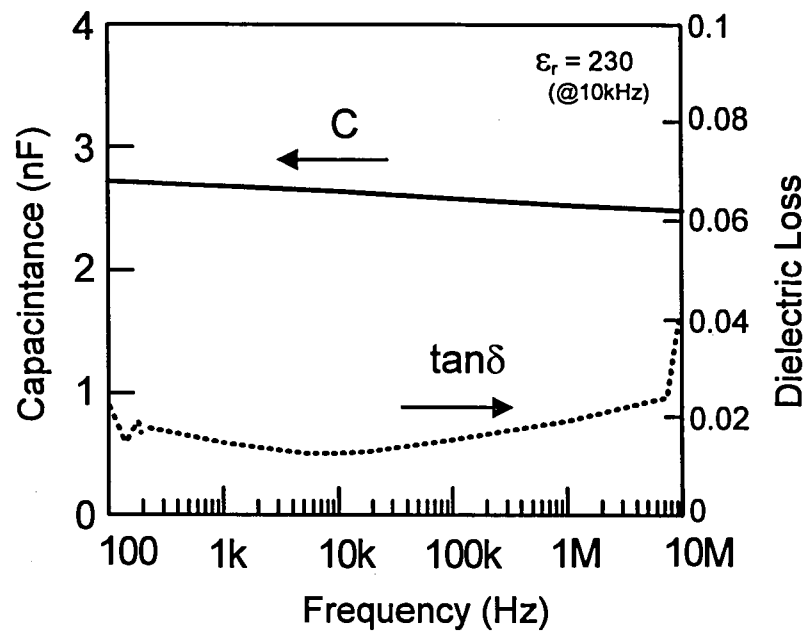


図 2.13 SrTiO_3 薄膜における容量(C)と誘電損失($\tan\delta$)の周波数依存性

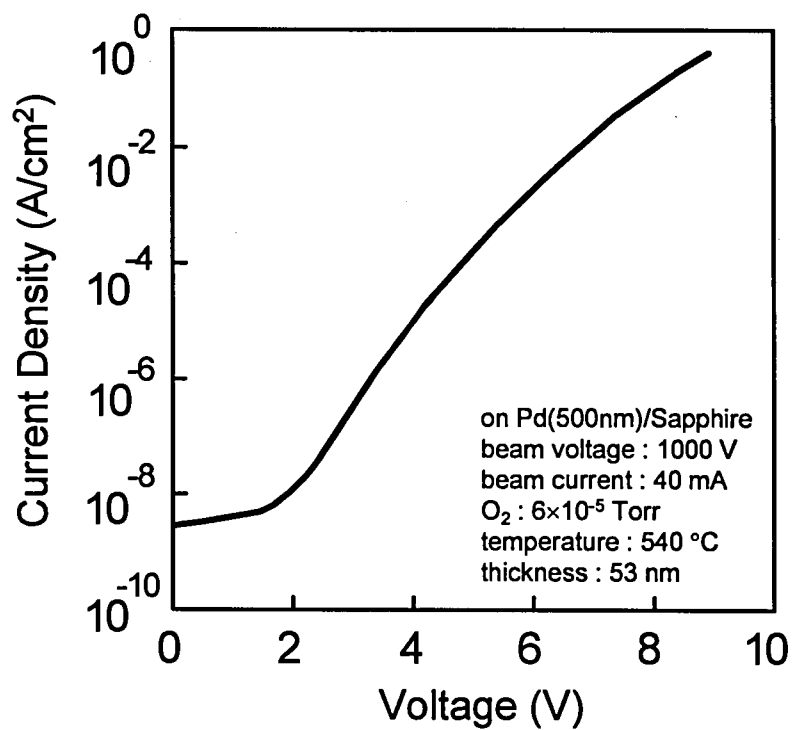


図 2.14 SrTiO_3 薄膜におけるリーク電流特性

って支配される electrode-limited 型となるため、本研究で用いた上部電極 Ti の仕事関数が Pd の仕事関数と比べて小さいために、SrTiO₃ 薄膜との Schottky バリアが小さくなることが原因であると思われる。下部電極の Pd は仕事関数が Pt 等と同様大きく、良好な Schottky バリアが形成されるため、今回のような低リーク電流特性が得られたと思われる。本研究では、上部電極として、ウェットエッチングや反応性ドライエッチングが可能な Ti 系の材料を選択している。この場合、リーク電流は上部電極に負電圧を印加したほうが、正電圧を印加した場合よりも大きくなる。本研究ではこれ以降特に断らない限り、リーク電流値は上部電極に正電圧を印加した場合の値を考察する。リーク電流値の非対称性に関しては上下電極材料を統一することで解決できると考えられる。

2.2.7 微細グレイン構造の観察と組成分析

図 2.13 に示した $t_{eq}=0.88\text{nm}$ の SrTiO₃ 薄膜の断面構造を、高分解能 TEM によって観察した結果を図 2.15 に示す。分析条件を表 2.2 に示す。直径ほぼ 50 nm の電子線による、SrTiO₃ 薄膜部位及び Pd 電極部位からの電子線回折パターンも図 2.15 に示す。断面 TEM 写真より、SrTiO₃ 薄膜は Pd 界面直上から結晶化しており、非晶質の遷移層などは観察されないことがわかる。53 nm という薄い膜厚にも関わらず、ボイド等は観察されず稠密な構造となっている。また SrTiO₃ 薄膜は柱状構造であり、ひとつの柱がほぼひとつのグレインに対応している。Pd 電極界面から最表面まで、膜厚方向に均一で乱れない格子像も観察される。さらに、膜厚よりも大きな粒径を持つグレインも存在する。SrTiO₃ 薄膜部位からの電子線回折パターンは 4 回対称の明瞭なスポットパターンであり、SrTiO₃ 薄膜の結晶性が非常に良好であることがわかる。Pd 薄膜の部位からの回折パターンは 6 回対称の明瞭なスポットであり、Pd 薄膜の結晶性も良好である。

この断面 TEM 試料に対し、分析径が 1~2 nm の小さなスポットで組成分析可能なエネルギー分散型特性 X 線分析(EDX)法を用いて、試料の横方向から電子線を照射して、各グレイン間やグレインと粒界における組成変動がないかどうかを評価した。分析条件を表 2.2 に示す。図 2.16 に横方向の複数のグレインに対して Sr、Ti、Pd の定量分析を行った結果、及び Sr/Ti 組成比を示す。どのグレインにおいても Sr と Ti の比はほぼ 1:1 であり、グレイン間での Sr/Ti 比のばらつきは見られない。Pd が 1 % 観測されているが、これは断面 TEM 試料を作製する際の混入であると推測され、バックグラウンドと考えて良い。図 2.17 に、さらに高倍率において、グレイン中央部と粒界を分離して組成分析を行った結果を示す。グレイン中央部と粒界で Sr/Ti 比に顕著な変動は見られず、粒界での特定元素の析出は発生していないことがわかる。しかし図 2.18 に示すように、ひとつのグレ

インの膜厚方向に対しては、表面近傍でわずかに組成変動が観察された。SrTiO₃ 薄膜の表面から 5 nm 以下の最表面層(分析位置●6)において、Sr の割合が減少し Ti の割合が増加して、Sr/Ti 比が 0.7 になっている。この最表面での組成変動は基板温度 430 °C で作製した膜厚 50 nm の SrTiO₃ 薄膜においても同様に観測されており、誘電率の膜厚依存性の原因となっている可能性がある。

表 2.2 断面 TEM および局所 EDX 分析条件

断面TEM	装置	H-9000UHR (日立製)
	加速電圧	300 kV
	試料調整	イオンミリング600C (GATAN製)
		Ar、30～40時間
局所EDX	装置	HB501 (VG製)
		SUPER 8000 (KEVEX製)
	加速電圧	100 kV
	吸収電流	10 ⁻⁹ A
	計数時間	50～100秒

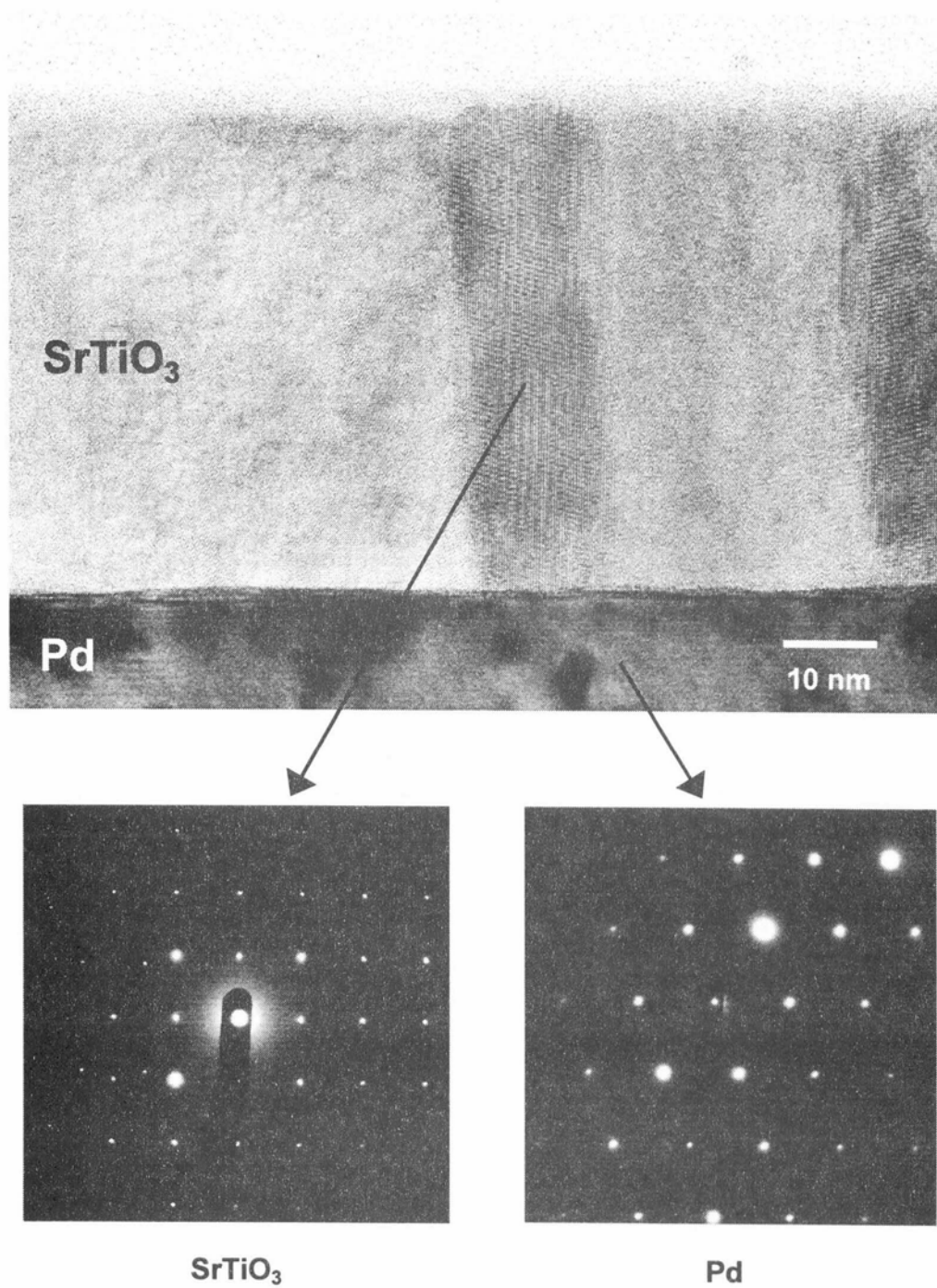


図 2. 15 基板温度 540 °C で作製した SrTiO₃ 薄膜の
断面 TEM 写真と電子線回折パターン

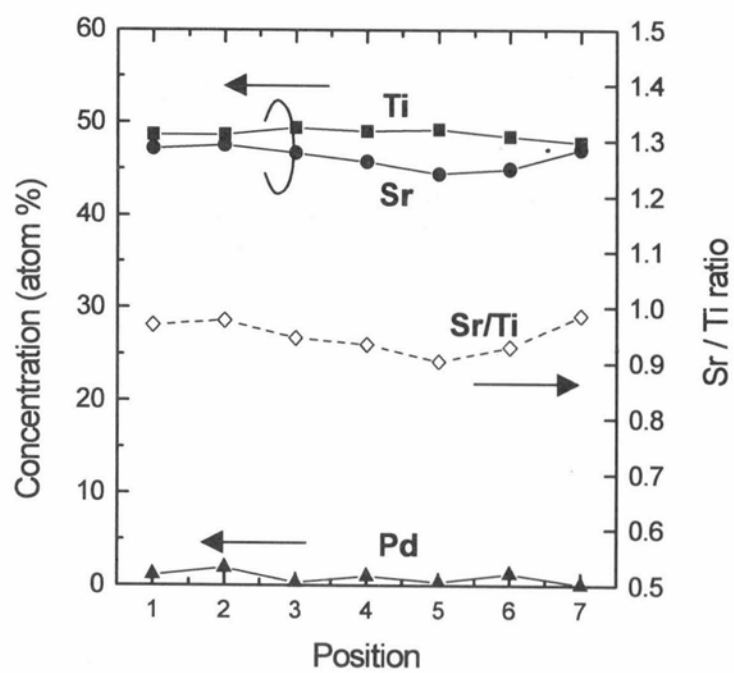
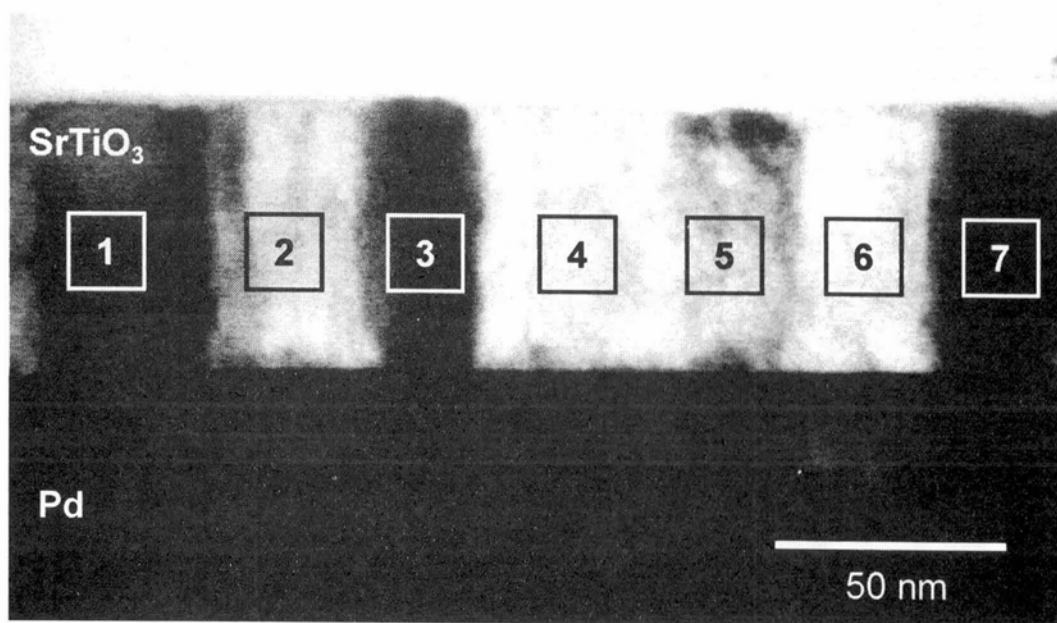


図 2. 16 複数のグレインにおける局所 EDX 分析結果

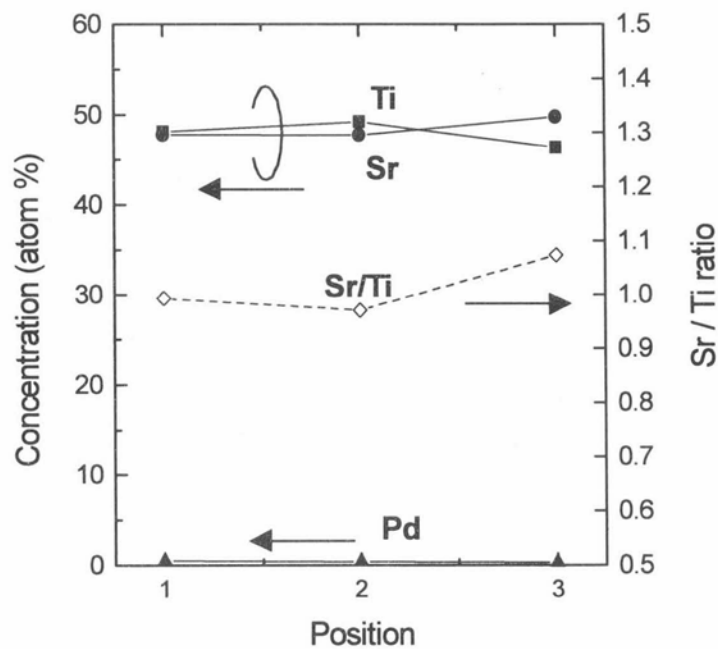
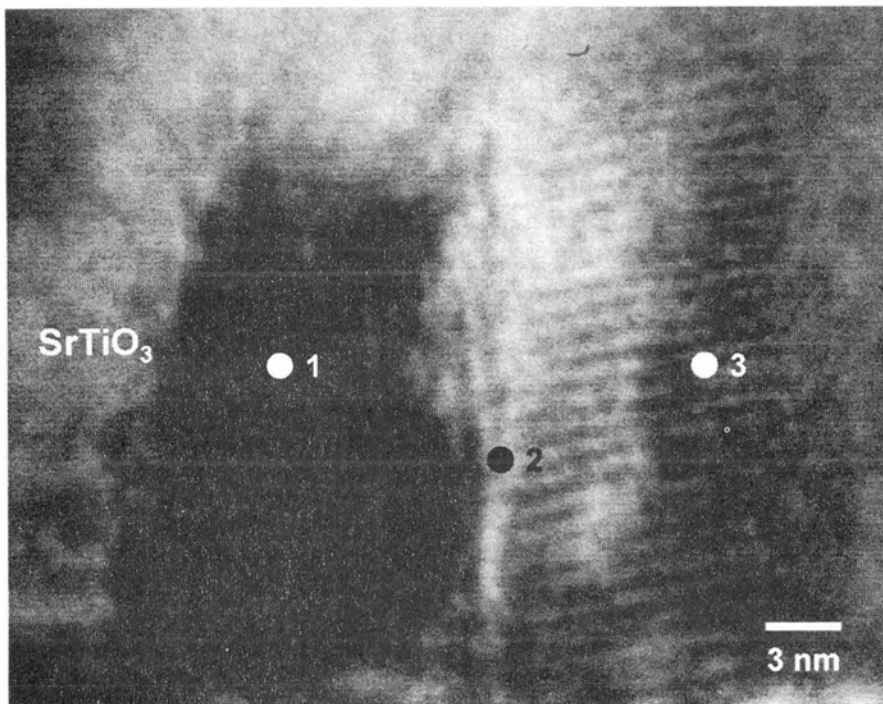


図 2.17 複数のグレインにおける局所 EDX 分析結果

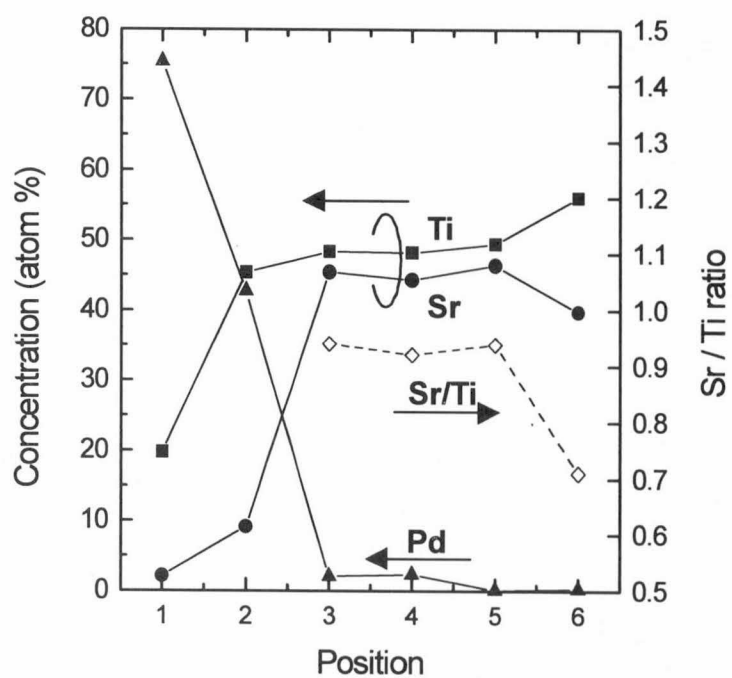
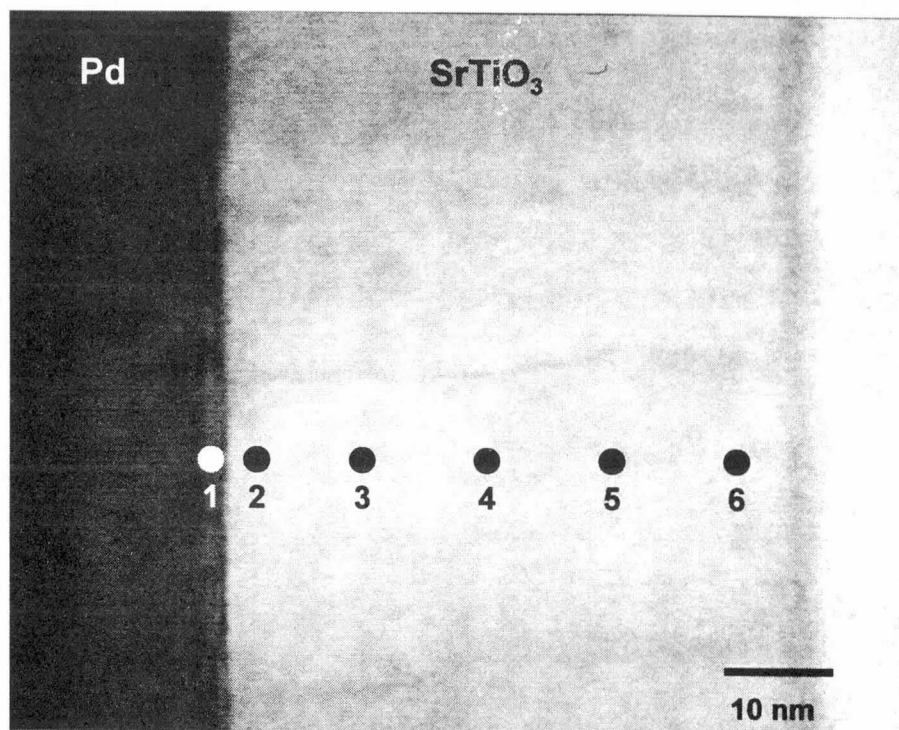


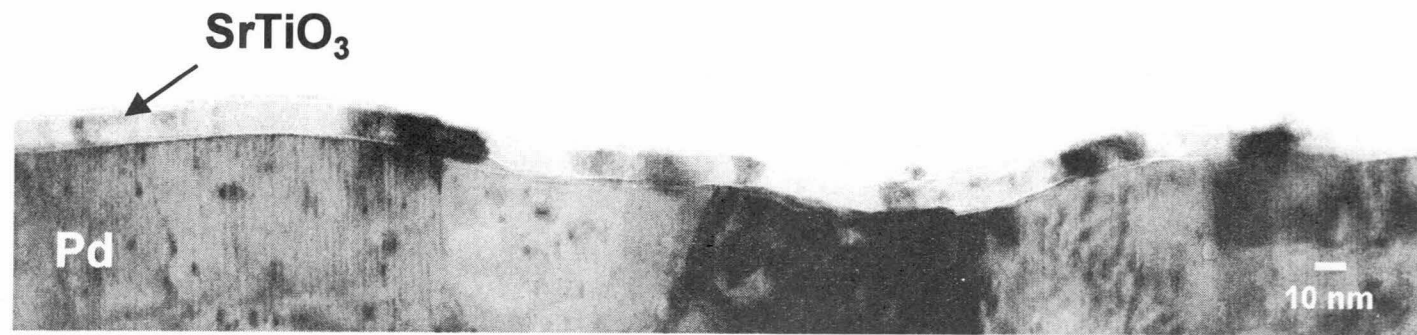
図 2.18 単一のグレイン内における局所 EDX 分析結果

図 2.19 に基板温度 430 °C で作製した膜厚 10 nm の SrTiO₃ 極薄膜の断面構造を示す。図 2.19(a)は SrTiO₃ 薄膜表面が露出している部分であり、図 2.19(b)は上部電極 Ti の直下を拡大した写真である。図 2.19(a)より、Pd 下部電極は 500 nm 程度の大きな粒状構造をしており、表面に 10 ~20 nm のゆるやかなうねりが存在するものの、突起などの無い平坦な表面を有することがわかる。その上に成膜された SrTiO₃ 薄膜は、膜厚が 10 nm と非常に小さいにも関わらず、図 2.15 の膜厚 50 nm の場合と同様、下部電極直上から結晶化した柱状グレイン構造を有していて、ポイドやクラックなどはいっさい観察されない。そしていくつかのグレインでは、縦方向の SrTiO₃ 膜厚よりも、横方向の粒径のほうが明らかに大きく、粒径が 50nm になっているものも存在する。このことは SrTiO₃ 薄膜の横方向の成長が、膜厚方向の成長よりも速い速度で進むことを意味している。SrTiO₃ 単結晶基板上的 SrTiO₃ 薄膜ホモエピタキシャル成長では、ひとつのペロブスカイト格子を単位とした step-by-step 成長が報告されているが^[7]、今回のような多結晶金属電極上の多結晶 SrTiO₃ 薄膜成長においても、横方向成長が優先となる可能性が示唆される結果が得られた。

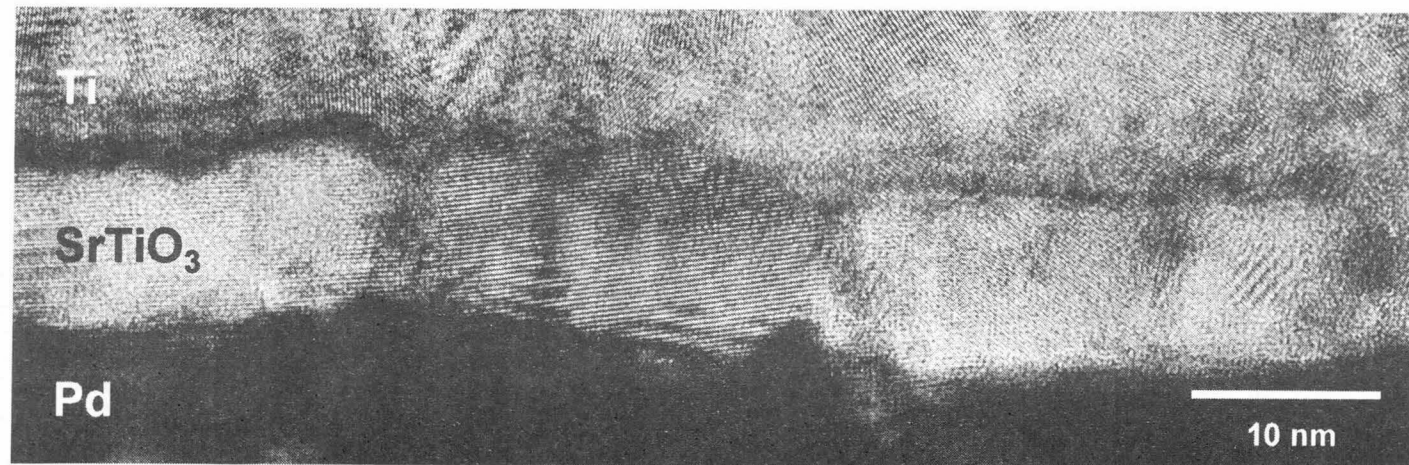
図 2.15 と図 2.19 より、SrTiO₃ 薄膜の膜厚が小さくなくても、柱状のグレイン構造に変化は無く、SrTiO₃ 薄膜内部の構造に誘電率の膜厚依存性の原因を見出すことはできない。ただし、図 2.19(b)では、上部電極 Ti との界面に、黒いコントラストの反応層らしきものが観察される。図 2.18 で示した表面の組成ずれとともに、この上部電極との界面に誘電率の膜厚依存性の原因となる表面遷移層が存在することが推測される。

2.2.8 表面遷移層に関する検討

前節で述べた表面遷移層の誘電特性への影響を評価するために、イオンビームスパッタ法により作製した膜厚 90 nm の SrTiO₃ 薄膜に関して、Auger Electron Spectroscopy (AES)分析を行い、表面における組成変動を調べた。その結果を図 2.20(a)に示す。表面から約 5 nm の領域において、Sr 強度が増大し Ti 強度が減少していることがわかる。ペロブスカイト酸化物薄膜の AES 分析において、表面近傍で A サイト原子が増大し、B サイト原子が減少するという今回と類似の結果はいくつか報告されている^[8]。この結果は、2.2.7 節の局所 EDX 分析の結果と逆であり、組成比の定量性については議論の余地があるが、表面と薄膜中央部で組成ずれが起こっている可能性は大きい。



(a) SrTiO₃露出部(低倍率)



(b) Ti上部電極直下(高倍率)

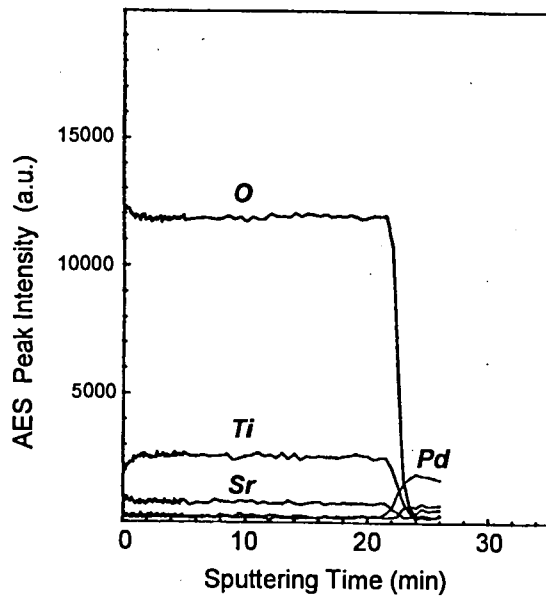
図 2.19 基板温度 430 °C で作製した膜厚 10nm の SrTiO₃ 薄膜の断面 TEM 写真

そこで SrTiO₃ 薄膜の表面を物理的に取り除いてから上部電極を形成することにより、誘電率を向上させることができないかを試みた。表面層の除去にはイオンミリング法(Commonwealth 製 Ion Beam Etching 装置)を用いた。ミリング条件を表 2.3 に示す。SrTiO₃ 薄膜のミリング速度は約 10 nm/min であり、1 分間と 2 分間、表面層をエッチングしてから AES 分析を行った。その結果を図 2.20(b)、(c)に示す。1 分間のミリングを行うことで、SrTiO₃ 薄膜の最表面における Sr や Ti の組成変動領域が消失し、膜厚方向に均一な組成となっていることがわかる。2 分間のミリングでも Sr/Ti 比は最表面を含めて一定となるが、酸素に対する AES 強度が表面で乱れている。これらの試料に上部電極 Au/Ti を成膜し、電気的特性を評価した結果を図 2.21 に示す。予想された結果とは異なり、1 分間のミリングにより表面層を除去した SrTiO₃ 薄膜においても誘電率の変化はなく、むしろリーク電流が増大した。2 分間のミリングを行った試料では短絡するという結果となった。これはミリング時の SrTiO₃ 薄膜内部へのダメージが大きかったためであると考えられる。

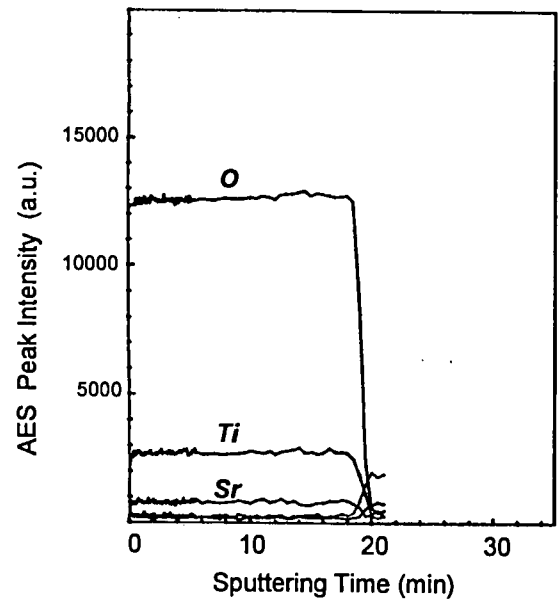
以上の結果より、誘電率の膜厚依存性の原因が SrTiO₃ 薄膜と上部電極界面に存在する遷移層のみであるという結論には至らなかった。現時点では分析不可能な、微細領域における酸素欠損などを考慮しなければならないと思われる。

表 2.3 表面層除去のミリング条件

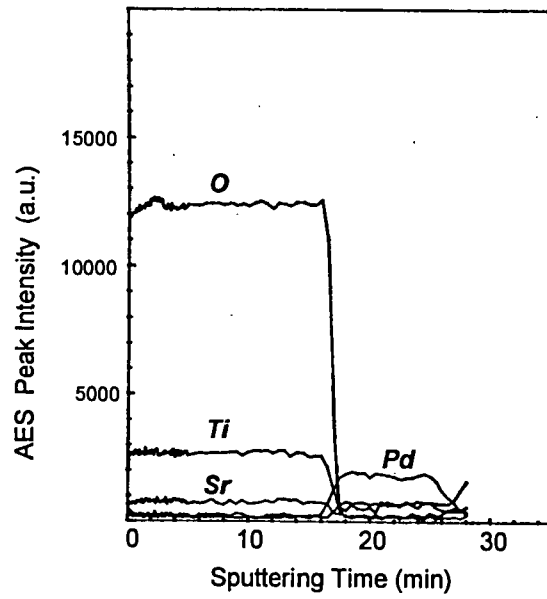
Target	SrTiO ₃ / Pd / Sapphire(10・2)
Target temperature	room temperature
Ar gas pressure	2.3×10^{-4} Torr
Beam voltage	700 V
Beam current	500 mA
Incident angle	90 °
Milling rate	10.6 nm/min



(a) as depo



(b) ミリング 1分間後



(c) ミリング 2分間後

図 2.20 IBS 法による SrTiO_3 薄膜の AES プロファイル

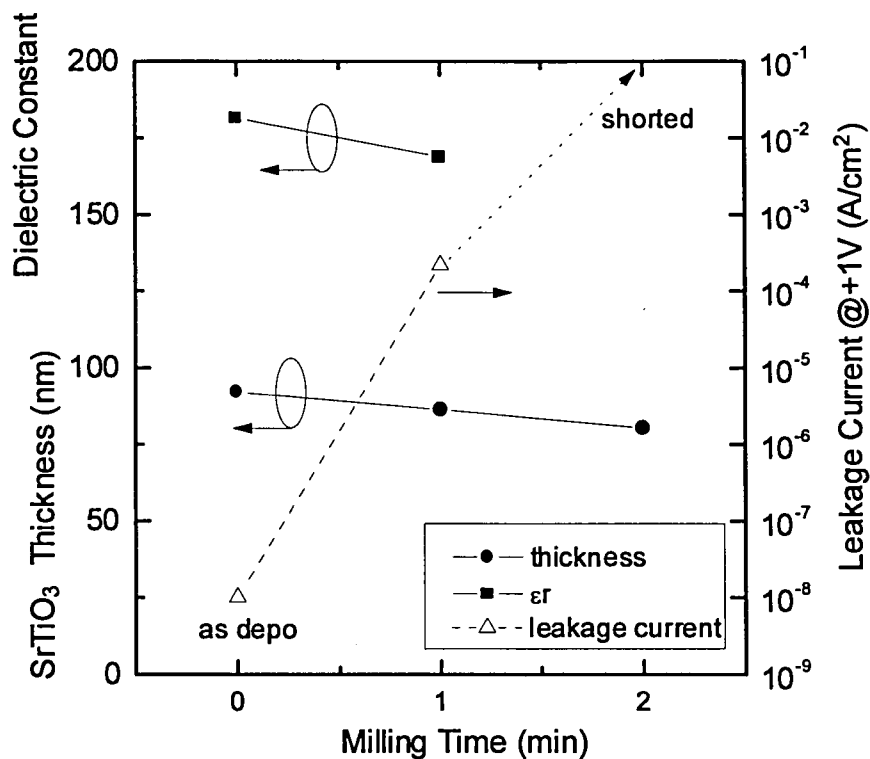


図 2.21 表面層除去後の SrTiO₃ 薄膜の電気特性の変化

2.2.9 rf スパッタ膜との比較

以上述べてきたように、イオンビームスパッタ法を用いることにより、50 nm 以下に薄膜化しても高誘電率かつ低リーク電流の高品質な SrTiO₃ 薄膜を得ることができることが明らかとなった。最後に本節では、通常の rf スパッタ法による SrTiO₃ 薄膜との特性や構造の比較を行う。イオンビームスパッタ法と rf スパッタ法により、基板温度 430 °C で作製した膜厚 50 nm の SrTiO₃ 薄膜(以後本節ではそれぞれ IBS 膜と rf スパッタ膜と呼ぶ)の絶縁破壊電圧の分布を比較した結果を図 2.22 に示す。測定点数は 25 点である。誘電率は IBS 膜と rf スパッタ膜でいずれも 170 でありほぼ等しい。しかし、絶縁破壊電圧は IBS 膜のほうが全点 10 V 以上であるのに対し、rf スパッタ膜ではばらつきが大きく、2~4 V 程度において頻繁に破壊している。一般に絶縁膜の破壊について、0 V 付近の小さな印加電圧で絶縁破壊を起こすような初期的破壊を A モード不良と呼び、破壊電圧のばらつきが少なく絶縁膜本来の耐圧で絶縁破壊を起こすような真性破壊を C モード不良と呼ぶ。それに対し、本来の耐圧以下でばらつきをもって破壊するような不良モードを B モード不良と呼び、絶縁膜中のランダムな欠陥が多いことが原因とされている。IBS 膜は C モード不良のみであるのに対し

し、rf スパッタ膜は B モード不良が主であり、膜中欠陥が IBS 膜よりも多いことが推測される。I-V 特性の評価でも、+1V 時のリーク電流は IBS 膜のほうが rf スパッタ膜よりも 1 桁以上小さいことがわかった。これら 2 つの SrTiO_3 薄膜の断面 TEM 写真と電子線回折パターンを図 2.23 に示す。IBS 膜では電子線回折において、明瞭なスポットパターンが観察されるのに対し、rf スパッタ膜では欠陥に起因するパターンの歪み(リング)が観察される。断面 TEM の格子像においても、IBS 膜では膜厚方向全体に cubic なパターンが規則正しく観察されるのに対し、rf スパッタ膜では格子像の「うねり」が多数観察され、結晶欠陥が誘起されていると考えられる。これらの欠陥は rf スパッタ時において基板が直接プラズマに曝されることによるプラズマダメージであると予想され、rf スパッタ法に対してイオンビームスパッタ法はプラズマダメージの少ない成膜手法であることを再確認することができた。

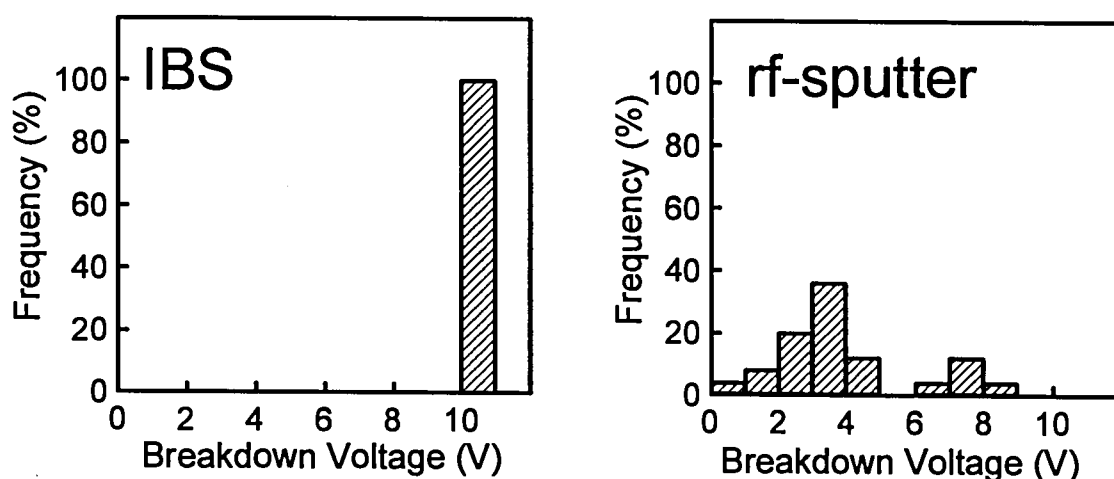
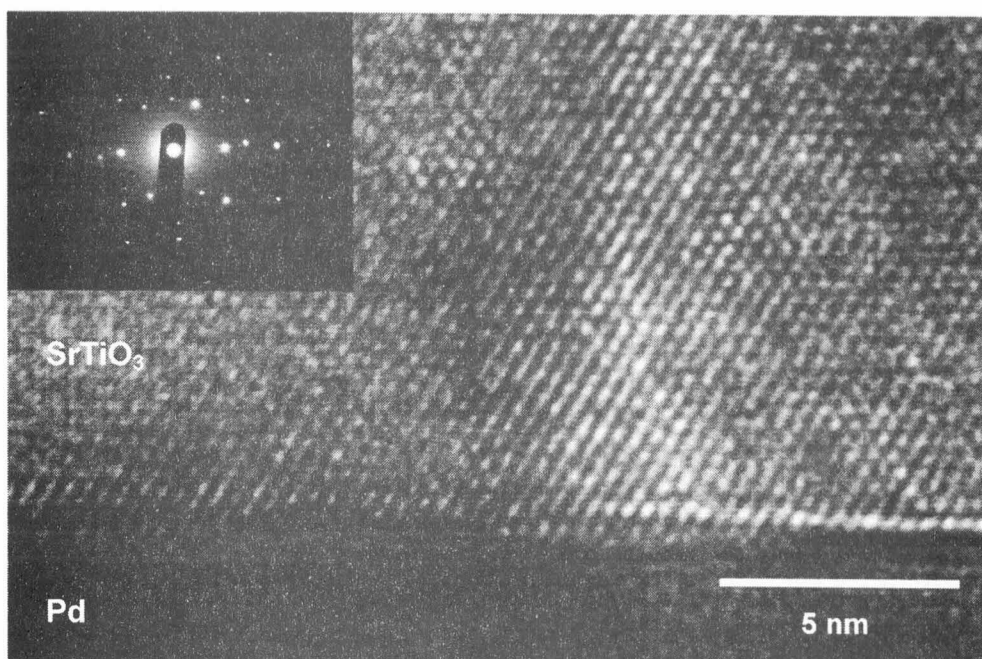
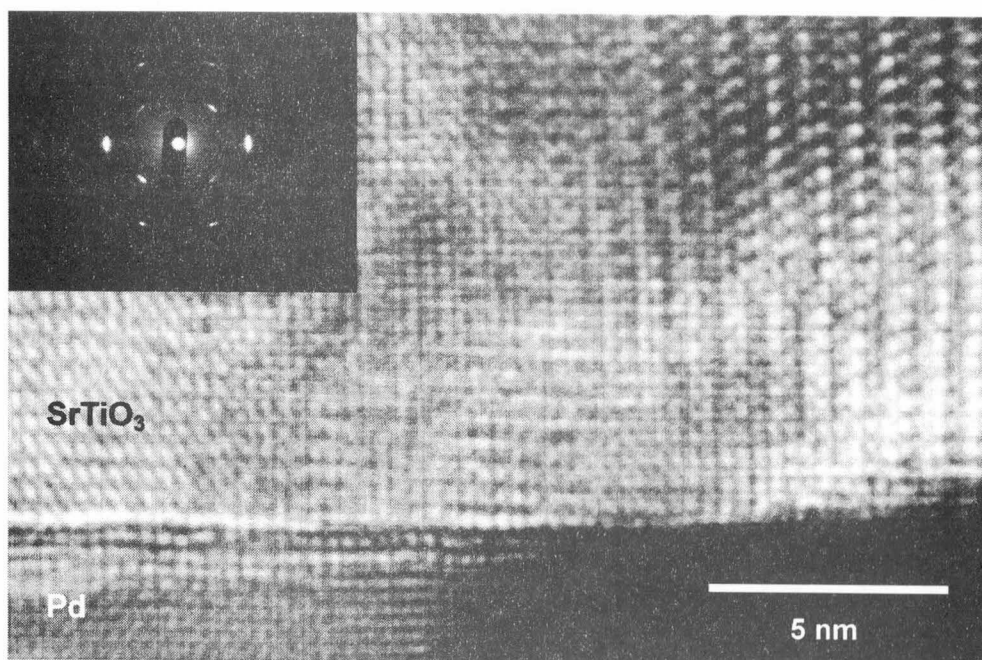


図 2.22 IBS 法と rf スパッタ法により作製した SrTiO_3 薄膜の絶縁破壊電圧分布の比較



(a) IBS 法による SrTiO₃ 薄膜



(b) rf-sputter 法による SrTiO₃ 薄膜

図 2.23 IBS 法と rf スパッタ法により作製した SrTiO₃ 薄膜の
断面 TEM 写真と電子線回折パターン

2.3 (Ba,Sr)TiO₃ 薄膜の作製とその誘電特性

2.3.1 ターゲット仮焼温度依存性

SrTiO₃ の室温での誘電率はバルクセラミクスにおいて約 320 であり、さらに高い誘電率を実現するためには Sr の一部を Ba で置換して(Ba_xSr_{1-x})TiO₃とする必要がある。バルクセラミクスでの検討結果から、図 1.5 に示すように、x つまり Ba/(Ba+Sr)比が x = 0.7 の時にキュリー点が室温付近となり、室温における誘電率は約 12500 と最大になる^[6]。しかし、rf スパッタ法による BST 薄膜の誘電率は、それよりも Sr リッチ側にシフトした x = 0.5 において最大となることが Y. Miyasaka と S. Matsubara によって報告されている^[2]。またターゲットとして用いる焼結粉末の仮焼温度によっても誘電率が大きく変化することが示されている。

イオンビームスパッタ法による BST 薄膜の誘電特性を調べるにあたり、まずターゲットの仮焼条件を最適化することを目的として、表 2.4 に示す条件で Pd(500 nm)/α-Al₂O₃(10・2)基板上に BST 成膜を行った。ターゲットは BaCO₃、SrCO₃、及び TiO₂ の混合粉末を、700～1100 °C で仮焼し粉碎した後、Cu 製のターゲット皿に充填してプレスしたものを用いた。まず基板温度 600 °C で作製した膜厚 100nm の BST 薄膜について、その組成を Inductively Coupled Plasma spectrometry (ICP)法によって調べた結果を表 2.5 に示す。金属元素の組成(Ba/(Ba+Sr)比と(Ba+Sr)/Ti 比)は、ターゲットと薄膜においてほぼ一致していることがわかる。(Ba+Sr)/Ti 比はわずかに Ti リッチとなっているが、この組成に関しては後ほど詳細に検討する。次に、基板温度 540°C で BST 薄膜を作製し、その誘電率のターゲット仮焼温度依存性を調べた結果を図 2.24 に示す。上部電極には、2.2 節と同様に Au(300 nm)/Ti(50 nm)を用い、BST 薄膜はすべて as depo の状態で評価した。膜厚が 100 nm と比較的小さく、基板温度も文献^[2]と比べて低いため、誘電率の値そのものが 300 前後であるが、やはり rf スパッタ法の場合と同様、900 °C 仮焼粉末を用いた時に最大の誘電率が得られている。ターゲット粉末は仮焼のみで本焼成を行っておらず、炭酸塩が残留していると予想される。スパッタの際にこれらの炭酸塩から発生する炭素や CO_x ガスの効果によって誘電率が向上しているのか、あるいはターゲットの仮焼状態によって被スパッタ粒子のエネルギーに変化があるのか、詳細は現時点では明らかとなっていない。完全に焼結させた市販のセラミクスターゲットを用いた場合は、等しい成膜条件において 220 程度の誘電率しか得られないことなどから、得られる BST 薄膜の特性はターゲットの作製条件に大きく依存していることがわかる。プラズマの発光スペクトルや被スパッタ粒子のエネルギーの評価によって、これらの関係を明らかにすることが重要である。

表 2.4 (Ba,Sr)TiO₃ 薄膜の作製条件

Substrate	Pd(500nm) / Al ₂ O ₃ (10·2)
Target	(Ba _x Sr _{1-x})TiO ₃ ceramics or powder x = 0.5
Firing temperature	700, 800, 900, 1000, 1100 °C
Substrate temperature	540 °C
Ar gas pressure	1.2 × 10 ⁻⁴ Torr
O ₂ gas pressure	6 × 10 ⁻⁵ Torr
Beam voltage	1000 V
Beam current	40 mA
Gun-target distance	100 mm
Target-substrate distance	180 mm
Deposition rate	0.7~0.9 nm/min

表 2.5 ターゲットと薄膜の組成分析結果

	Ba/(Ba+Sr)	(Ba+Sr)/Ti
Target	0.50	1.0
Film	0.49	0.88

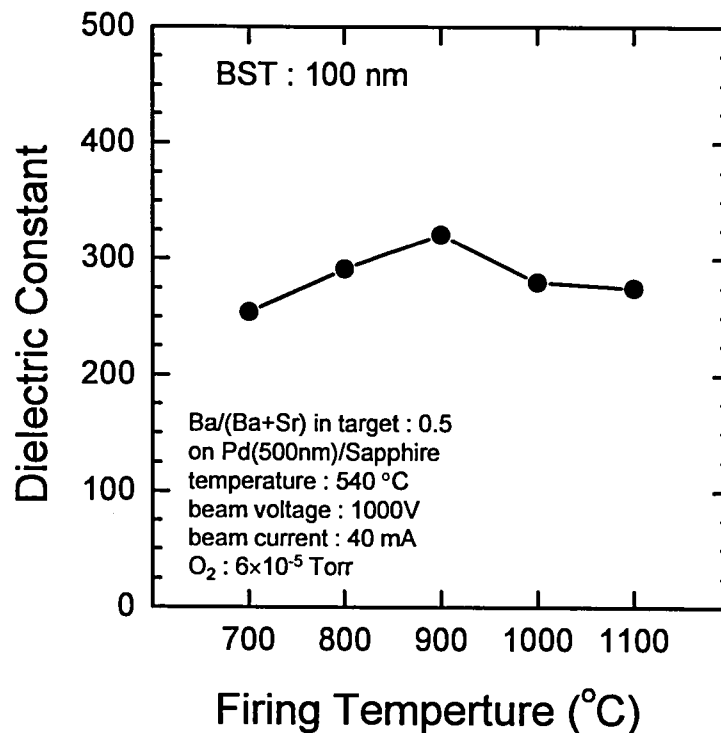


図 2.24 誘電率のターゲット仮焼温度依存性

2.3.2 Ba/(Ba+Sr)比依存性

次にターゲットの仮焼温度を 900°C に固定し、ターゲットの Ba/(Ba+Sr)比を 0 から 1 まで変化させた場合の誘電率の Ba/(Ba+Sr)比依存性を図 2.25 に示す。他の作製条件は表 2.4 と等しい。得られた膜の Ba/(Ba+Sr)比は、ターゲットの Ba/(Ba+Sr)比とほぼ等しいので、rf スパッタ法の場合と同様、イオンビームスパッタ法においても $x = 0.5$ 付近の組成において最大の誘電率 320 が得られることがわかる。rf スパッタ法とイオンビームスパッタ法の異なる成膜手法において、同一の Ba/(Ba+Sr)比で誘電率が最大になることは興味深い^[9]。 $x = 0.5$ において誘電率が最大となるのは、基板温度 540°C 以下で成膜した場合、SrTiO₃ 薄膜と BaTiO₃ 薄膜のそれぞれの誘電率のうち、SrTiO₃ 薄膜のほうが大きくなることで説明できる。すなわち図 1.5 に示すように、1000 °C を越える焼結温度で作製した BaTiO₃ セラミクスは正方晶となり、誘電率も SrTiO₃ セラミクスよりもはるかに大きくなる。そして Ba サイトを一部 Sr によって置換することでキュリー点が低温側にシフトし、キュリー点が室温付近となる Ba/(Ba+Sr)組成比 0.7 において BST セラミクスは室温で最大の誘電率を示す。一方、作製温度が 500~600 °C 程度の薄膜の場合、特に BaTiO₃ 組成側でセラミクスほど結晶化が進まず、SrTiO₃ 組成側では相対的に結晶化が進展する。酸化物の結晶化が進むほど

誘電率は大きくなるため、これらの作製温度範囲内においては、 $x=0.7$ よりも Sr リッチ側、つまり $x=0.5$ へと最大誘電率を示す Ba/(Ba+Sr)比がシフトすると考えられる。

Ba/(Ba+Sr)比を変化させたこれらの試料の XRD パターンを図 2.26 に、BST(220)ピークから求めた格子定数を図 2.27 に示す。図 2.26 より、作製した BST 薄膜においては、Ba/(Ba+Sr)比 0.7 以上の組成でも正方晶のピーク分離は観測されず、擬立方晶の結晶構造となっていることがわかる。格子定数は全般にバルクより大きく、Ba/(Ba+Sr)比の増加に伴って大きくなる。図 2.26 における BST 薄膜の各面のピーク強度を、BST(110)のピーク強度を用いて規格化し、Ba/(Ba+Sr)比に対してプロットした結果を図 2.28 に示す。Ba/(Ba+Sr)比が小さくなるほど、つまり SrTiO_3 組成に近づくほど、BST 薄膜は(110)配向となることがわかる。これは図 2.29 に示すように、Pd(111)面の隣接する単位格子 2 つ分の格子間距離と、BST(110)面の長辺の長さが、 SrTiO_3 ではミスマッチが 0.9%であるのに対し BaTiO_3 では約 4.2%であり、Ba/(Ba+Sr)比が大きくなるのに伴い格子不整合の度合いが大きくなって、他の(100)面などが成長するというモデルで説明することができる。

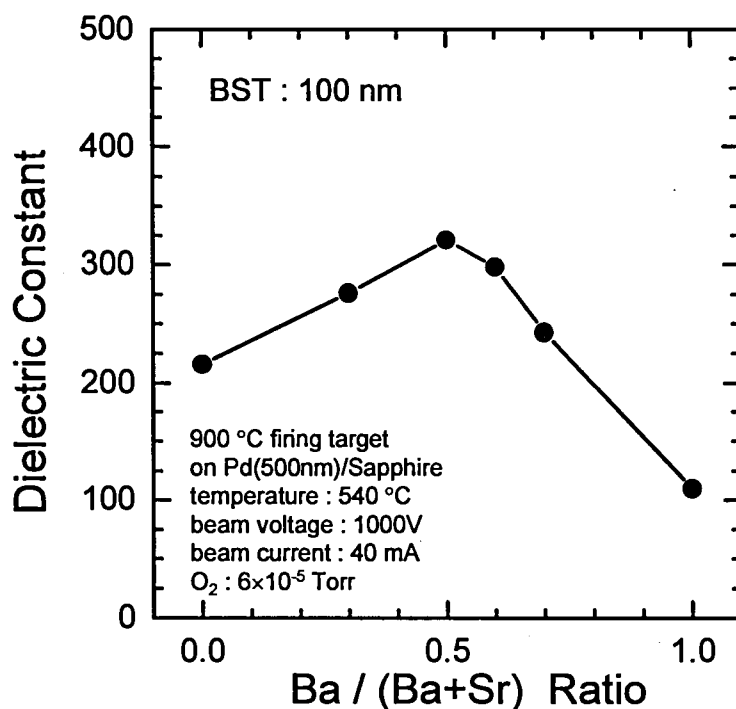


図 2.25 誘電率の Ba/(Ba+Sr)比依存性

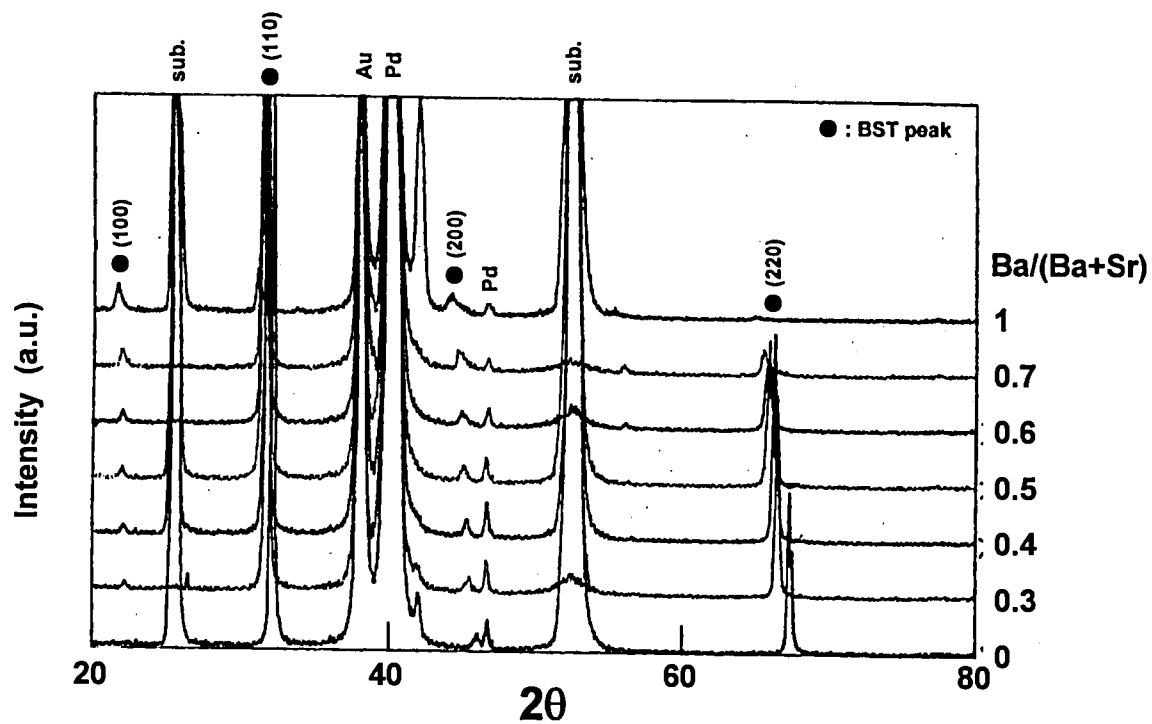


図 2.26 XRD パターンの Ba/(Ba+Sr)比依存性

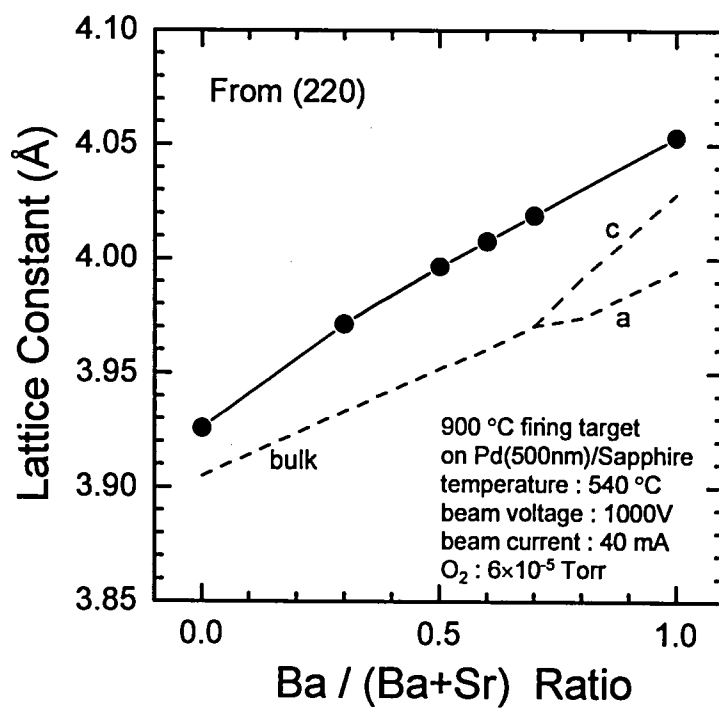


図 2.27 格子定数の Ba/(Ba+Sr)比依存性

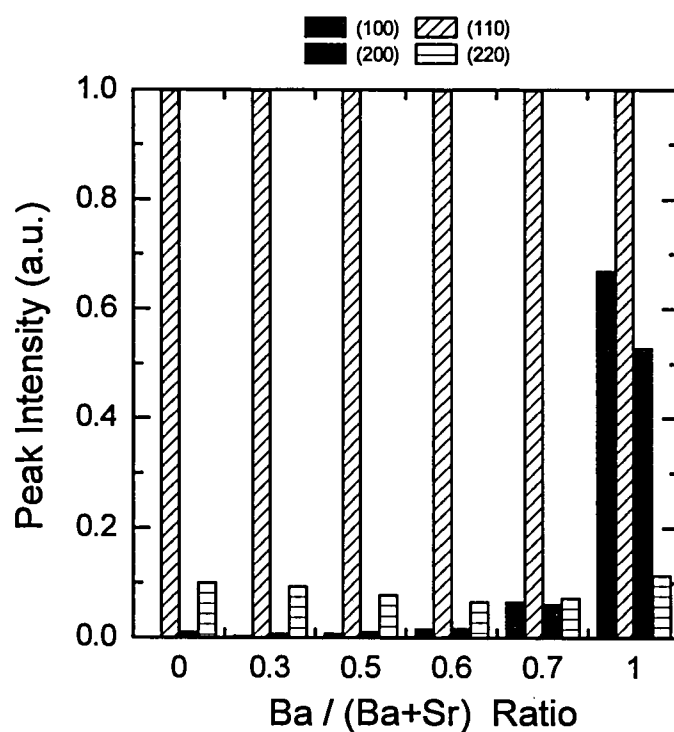


図 2.28 XRD ピーク強度の Ba/(Ba+Sr)比依存性

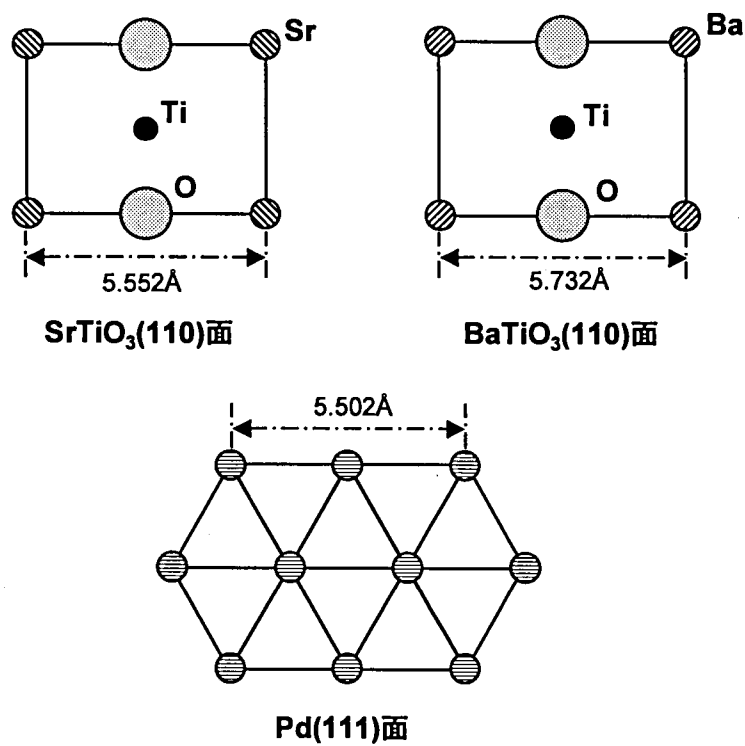


図 2.29 Pd(111)面と SrTiO₃(110)面及び BaTiO₃(110)面の格子間隔

2.3.3 (Ba+Sr)/Ti 比依存性

以上の検討結果より、ターゲットの作製条件及び Ba/(Ba+Sr)比の最適値が決定したが、期待されたほどの高い誘電率が得られなかった。そこで次に、薄膜の(Ba+Sr)/Ti 比に着目し、誘電率の(Ba+Sr)/Ti 比依存性について詳細な検討を行った。作製したターゲットの(Ba+Sr)/Ti 比は以下の表 2.6 に示す 10 種類である。

表 2.6 作製したターゲットの組成

組成	
Ba/(Ba+Sr)比	0.50
(Ba+Sr)/Ti 比	0.80, 0.90, 0.95, 1.00, 1.05, 1.10, 1.15, 1.20, 1.30

なお基板温度は、2.3.1 節や 2.3.2 節の検討時よりも高い 650 °C とした。基板温度以外の作製条件は表 2.4 と同じである。まず得られた BST 薄膜における(Ba+Sr)/Ti 比と Ba/(Ba+Sr)比を ICP 法により評価した。薄膜の(Ba+Sr)/Ti 比および Ba/(Ba+Sr)比と、ターゲットにおける(Ba+Sr)/Ti 比の関係を図 2.30 に示す。▲印で示した Ba/(Ba+Sr)比は、すべての試料においてほぼ 0.5 で一定である。一方、●印で示した薄膜の(Ba+Sr)/Ti 比は、ターゲットの(Ba+Sr)/Ti 比と線形な関係にあるが、ストイキオメトリなターゲット((Ba+Sr)/Ti 比 = 1.0)を用いた場合の BST 薄膜の(Ba+Sr)/Ti 比は 0.95 であり、わずかに B サイトリッチである。5 % A サイトリッチなターゲット((Ba+Sr)/Ti 比 = 1.05)を用いた場合に、ほぼストイキオメトリな BST 薄膜が得られる。この結果は、シングルターゲットのイオンビームスパッタ法においてもターゲット組成を細かく変更することによって、BST 薄膜の組成をコントロールできることを示している。同時に、ターゲットと薄膜の組成ずれもわずかに存在することも示しており、高誘電率を実現するためには、ターゲットの選択が重要であることを意味している。これ以後、本節における(Ba+Sr)/Ti 比は、すべて薄膜における(Ba+Sr)/Ti 比を指すこととする。

図 2.31 に(Ba+Sr)/Ti 比の異なる BST 薄膜の XRD 回折パターンを示す。BST 膜厚は約 150 nm である。(Ba+Sr)/Ti 比が 0.75 から 1.20 の組成範囲においては、ペロブスカイト立方晶の単一相に結晶化した BST 薄膜が得られている。しかし、(Ba+Sr)/Ti 比が 1.41 である A サイトリッチの BST 薄膜では、 $2\theta = 28^\circ$ 付近に異相が観察される。この異相は $(\text{Ba,Sr})_2\text{TiO}_4$ であると考えられる。XRD パターンから求めた格子定数の(Ba+Sr)/Ti 比依存性を図 2.32 に示す。(Ba+Sr)/Ti 比 = 0.75～

1.20 の BST 薄膜と、(Ba+Sr)/Ti 比 = 1.41 の BST 薄膜に対して、それぞれ(hh0)、(h00) (h=1,2,3) の回折ピークの位置から格子定数を計算した。図 2.31 と図 2.32 より明らかなように、格子定数及び回折ピーク強度は(Ba+Sr)/Ti 比 = 0.75~1.05 の範囲内ではほとんど変化がなく、格子定数は約 3.98 Å で一定である。しかし、(Ba+Sr)/Ti 比が 1.05 より大きくなると格子定数は急激に増大し始め、(Ba+Sr)/Ti 比 = 1.20 において 4.01 Å まで大きくなる。これらの結果より、10 %以上の過剰な A サイトイオンの導入は、格子歪み、及びその結果生じる結晶欠陥を誘起している可能性が大きい。そして 40 %の過剰 A サイトイオンを導入すると、異相である(Ba,Sr)₂TiO₄ が形成され、格子のひずみが一部緩和されて、格子定数の増大は飽和すると考えられる。ここで異相として考えられる (Ba,Sr)₂TiO₄ の格子図を図 2.33 に示す。(Ba,Sr)₂TiO₄ は、ABO₃ のペロブスカイト構造に AO 面が 1 層挿入された構造となっており、今回作製した A サイトリッチな BST 薄膜ではこのような AO 面の挿入が薄膜中でランダムに発生していると考えられる^[10]。

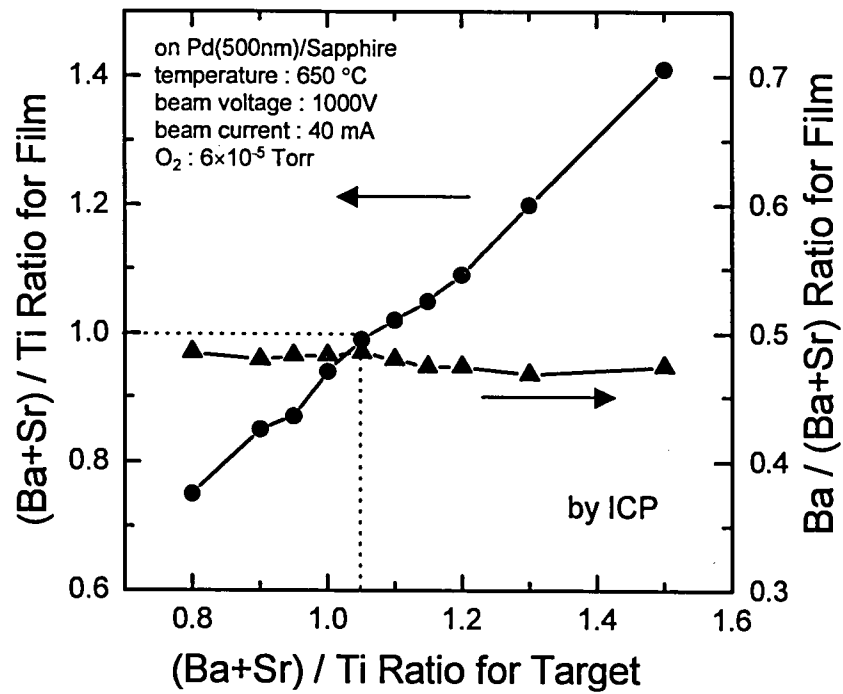


図 2.30 BST 薄膜における(Ba+Sr)/Ti 比及び Ba/(Ba+Sr)比とターゲットにおける(Ba+Sr)/Ti 比及び Ba/(Ba+Sr)比の関係

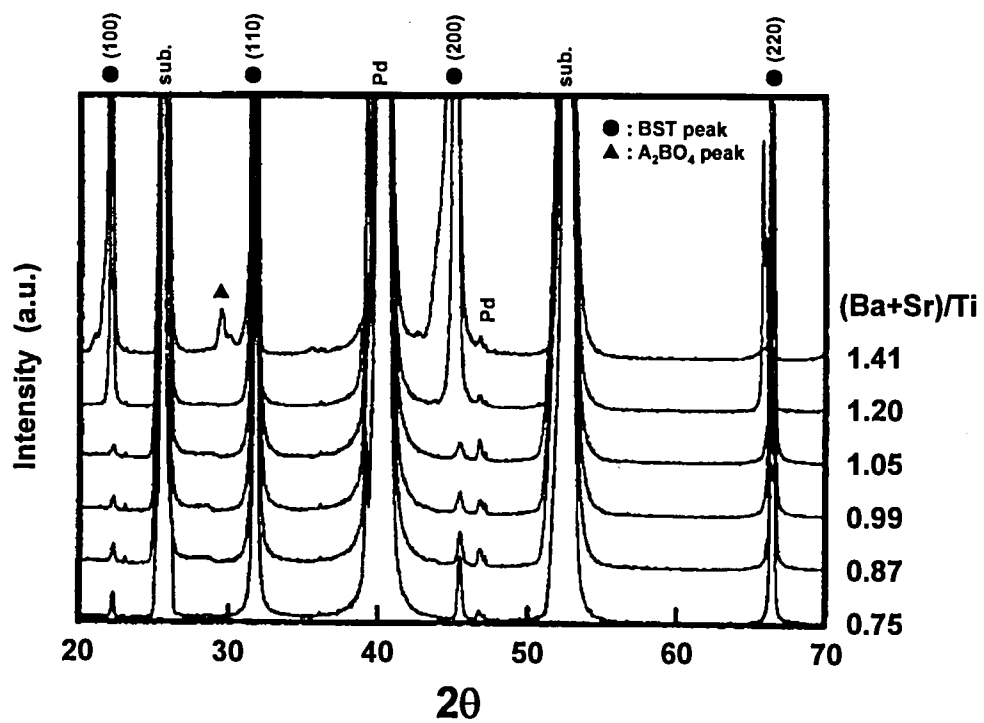


図 2.31 XRD パターンの (Ba+Sr)/Ti 比依存性

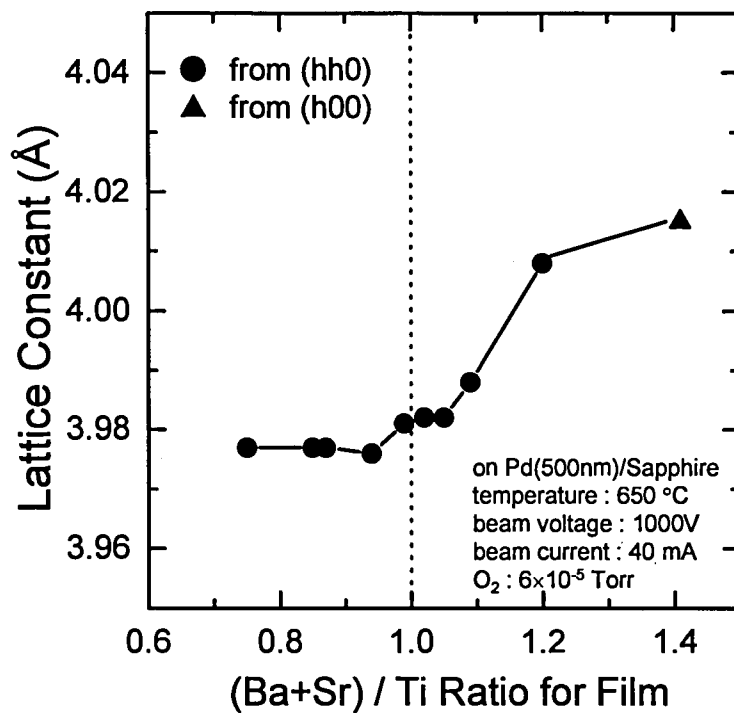


図 2.32 BST 薄膜の格子定数の(Ba+Sr)/Ti 比依存性

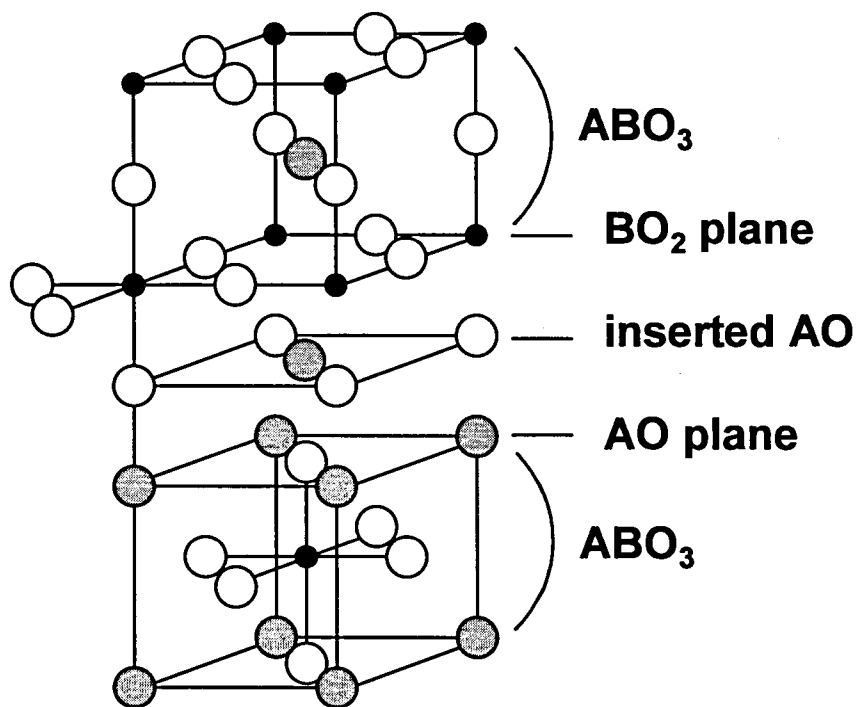


図 2.33 (Ba,Sr)₂TiO₄ の構造

2.3.4 誘電率とリーク電流の(Ba+Sr)/Ti 比依存性

膜厚 150～180 nm の BST 薄膜に対し、誘電率とリーク電流の(Ba+Sr)/Ti 比依存性を図 2.34 と図 2.35 にそれぞれ示す。tan δ はすべての試料において 0.03 以下であった。図 2.34 から明らかなように、誘電率は(Ba+Sr)/Ti 比に大きく依存する。Ba/(Ba+Sr)比 = 1.05、つまり 5 %程度わずかに A サイトリッチの組成において、最大の誘電率 580 が得られた。しかし、この組成よりもさらに A サイトリッチになると誘電率は急激に減少し、ストイキオメトリ及び B サイトリッチ側でも同様に急激に減少する。2.3.2 節の BST 薄膜において、期待されたほどの高誘電率が実現されなかったのは、(Ba+Sr)/Ti 比が 0.88 であり B サイトリッチとなっていたためであることがわかる。一方、図 2.35 より、+1 V あるいは+2 V 印加時のリーク電流値は、図 2.32 の格子定数の(Ba+Sr)/Ti 比依存性とよく似た傾向を示すことがわかる。つまり(Ba+Sr)/Ti 比が 1.10 よりも小さければ、リーク電流は 10^{-8} A/cm² 以下の小さな値となるが、(Ba+Sr)/Ti 比が 1.10 を越えると増大し始め、(Ba+Sr)/Ti=1.41 では 10^{-7} A/cm² 台となる。

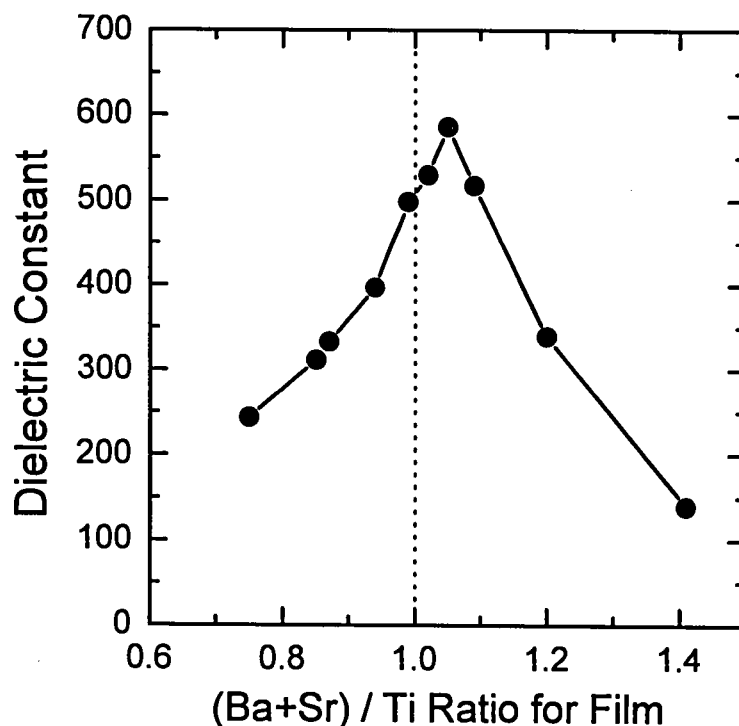


図 2.34 BST 薄膜の誘電率の(Ba+Sr)/Ti 比依存性

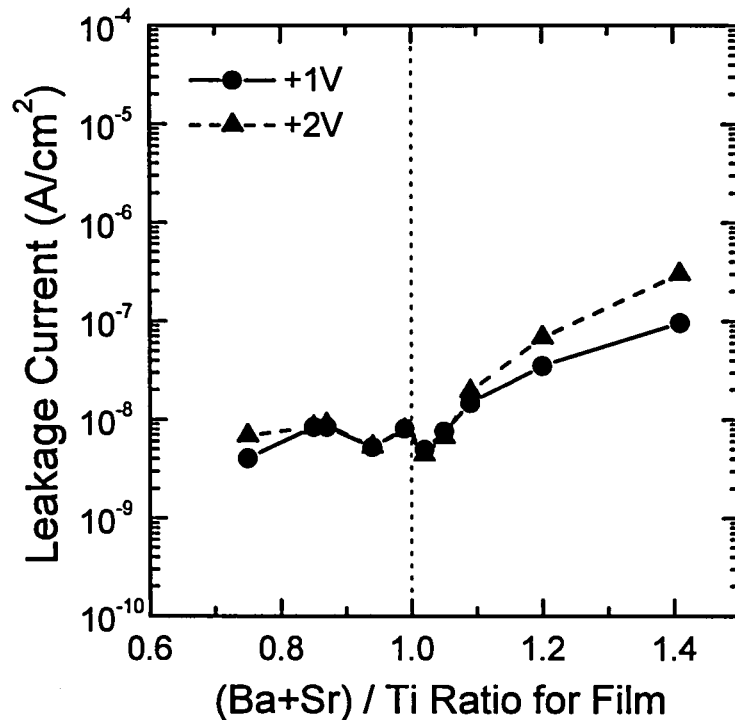


図 2.35 リーク電流値の(Ba+Sr)/Ti 比依存性

以上の結果より、5 %程度のわずかに A サイトリッチな BST 薄膜において、最大の誘電率と良好な低リーク電流が得られることがわかった。ここで、過剰なイオンが実際の BST 薄膜中にどのように取り込まれているかという点から、電気的特性との関係について考察する。まず B サイトリッチな BST 薄膜においては、XRD 分析より BST の結晶構造や構成定数に変化が見られないことから、過剰な Ti イオンは(Ba,Sr)イオンと置換してペロブスカイト構造に取り込まれるのではなく、非晶質もしくは微結晶の TiO_x を形成していると思われる。XRD 分析では検出されないレベルの TiO_x は、誘電率が小さいために BST 薄膜全体の誘電率を低下させるが、非晶質もしくは微結晶であるためにリーク電流は小さく、BST 薄膜全体のリーク特性には影響を与えない。ストイキオメトリから 5 %まで A サイトリッチな BST 薄膜においては、図 2.33 に示すような AO 面の挿入が少ない割合ながらも発生している可能性があるにも関わらず、薄膜の格子定数には顕著な変化は見られない。つまり、AO 面の挿入によって、BST 薄膜に誘起される内部応力を緩和している可能性がある。その結果、結晶性が改善されて誘電率が向上すると推測される。しかし 10 %以上の過剰な(Ba,Sr)イオンは、異相である $(\text{Ba,Sr})_2\text{TiO}_4$ を多数形成して結晶欠陥を誘起し、リーク電流の増加を引き起こしていると思われる。

2.3.5 誘電率の(Ba,Sr)TiO₃膜厚依存性

(Ba+Sr)/Ti比が0.75、0.94、1.02、1.05、1.20であるBST薄膜に関し、膜厚を25 nmから200 nmまで変化させた場合の、誘電率の膜厚依存性を図 2.36 に示す。2.2 節の SrTiO₃ 薄膜の場合と同様、誘電率は膜厚の減少に伴って低下する。前節で述べた誘電率の(Ba+Sr)/Ti 比依存性は、膜厚が 100 から 200 nm 程度のやや厚い膜厚領域で顕著であり、それ以下の膜厚になると組成による誘電率の違いが小さくなる。つまり、誘電率に関しては、(Ba+Sr)/Ti 比依存性よりも膜厚依存性のほうが優先することがわかる。ここで、SrTiO₃ 薄膜の際に考察した 2 層構造モデルを BST 薄膜に対しても適用し、BST 薄膜本来の誘電率と、電極界面等における遷移層の寄与を分離して考えてみる。図 2.37 に BST 膜厚に対して $\epsilon_0 \cdot S/C$ をプロットした結果を示す。(Ba+Sr)/Ti 比 = 0.75 を除き、良好な直線関係が得られている。(Ba+Sr)/Ti 比 = 0.75 においても最小自乗法による直線近似を行い、直線の傾きの逆数から BST 薄膜本来の誘電率を求め、y 切片から遷移層成分を求めた。その結果を表 2.7 にまとめる。

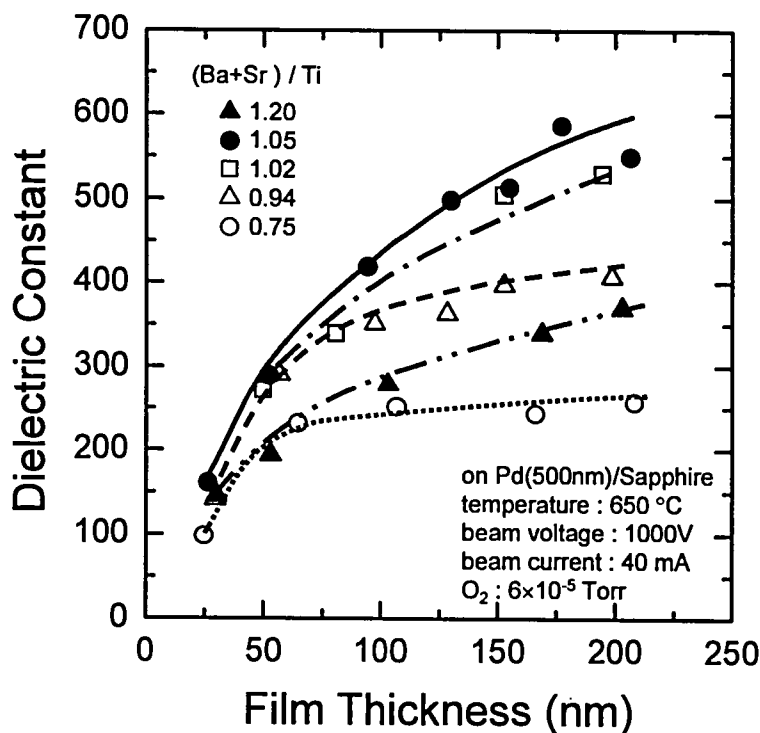


図 2.36 (Ba+Sr)/Ti 比の異なる BST 薄膜における誘電率の膜厚依存性

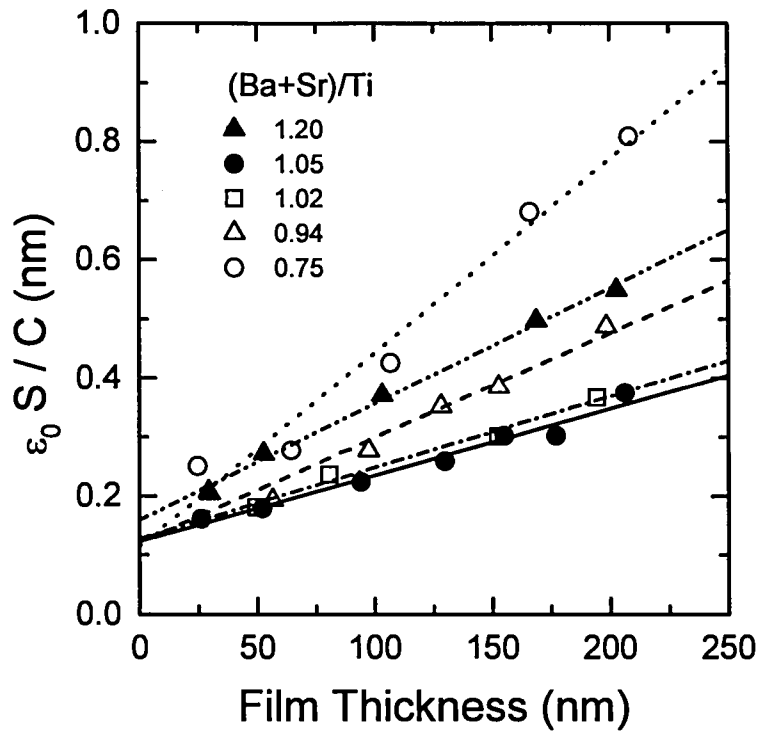


図 2.37 (Ba+Sr)/Ti 比の異なる BST 薄膜における $\epsilon_0 S/C$ vs. d プロット

表 2.7 2 層構造モデルによる考察

Ba/(Ba+Sr)比	BST 薄膜本来の誘電率 ϵ_1	遷移層成分 d_2/ϵ_2
0.75	305	0.115
0.94	565	0.122
1.02	833	0.128
1.05	893	0.123
1.20	508	0.160

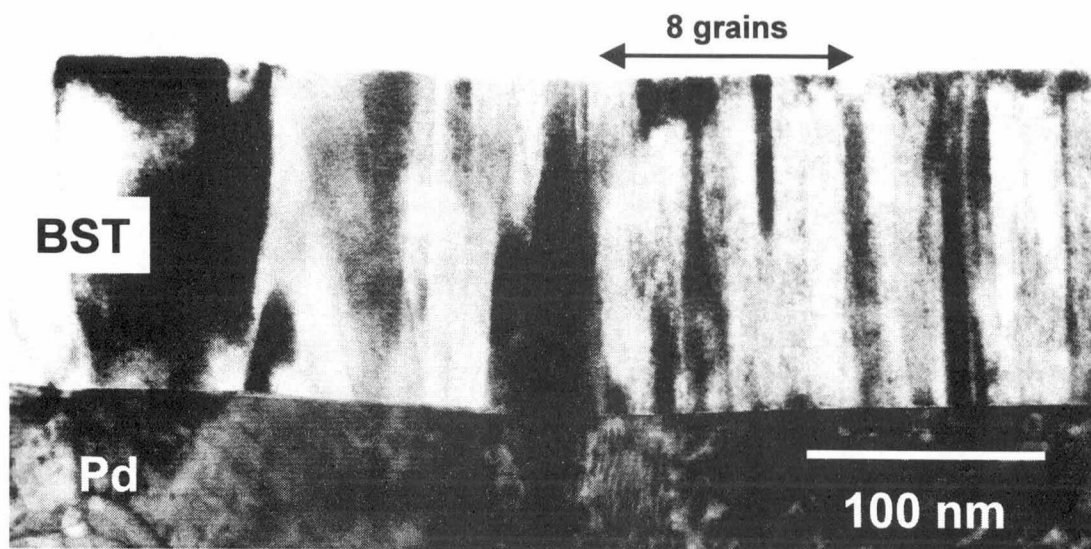
表 2.7 より、BST 薄膜本来の誘電率 ϵ_1 も、(Ba+Sr)/Ti 比 = 1.05 において最大値 893 となることがわかる。前節で述べたように、SrTiO₃ 薄膜の場合、2 層構造モデルから計算される本来の誘電率 ϵ_1 と、100nm 以上の膜厚領域において実測されたキャパシタ全体の誘電率とはほぼ等しかった。しかし BST 薄膜の場合は、図 2.36 と表 2.7 からわかるように、実測されたキャパシタ全体の誘電率は、200nm の膜厚領域でも ϵ_1 よりかなり小さい。(Ba+Sr)/Ti 比 = 1.02 と 1.05 では、 ϵ_1 は 900 近い大きな値となっていることから、これらの組成では BST 薄膜内部のバルク的な領域は十分結晶化

した高誘電率層となっていることが期待される。しかし、表 2.7 に示すように、BST 薄膜における遷移層の寄与成分 d_2/ϵ_2 が、図 2.12 に示した SrTiO_3 薄膜の場合よりも大きく、0.1nm 以上となっている。このことがキャパシタ全体として ϵ_1 と同程度の誘電率が得られない原因である。したがって、キャパシタ全体としての誘電率を向上させるには SrTiO_3 薄膜の場合以上に、遷移層成分の同定と除去または低減が必要である。また界面の遷移層成分は、 $(\text{Ba}+\text{Sr})/\text{Ti}$ 比 = 1.20 のみが他の組成よりも大きく、異相も含めて何らかの結晶性の悪い領域が多く存在することが示唆される。

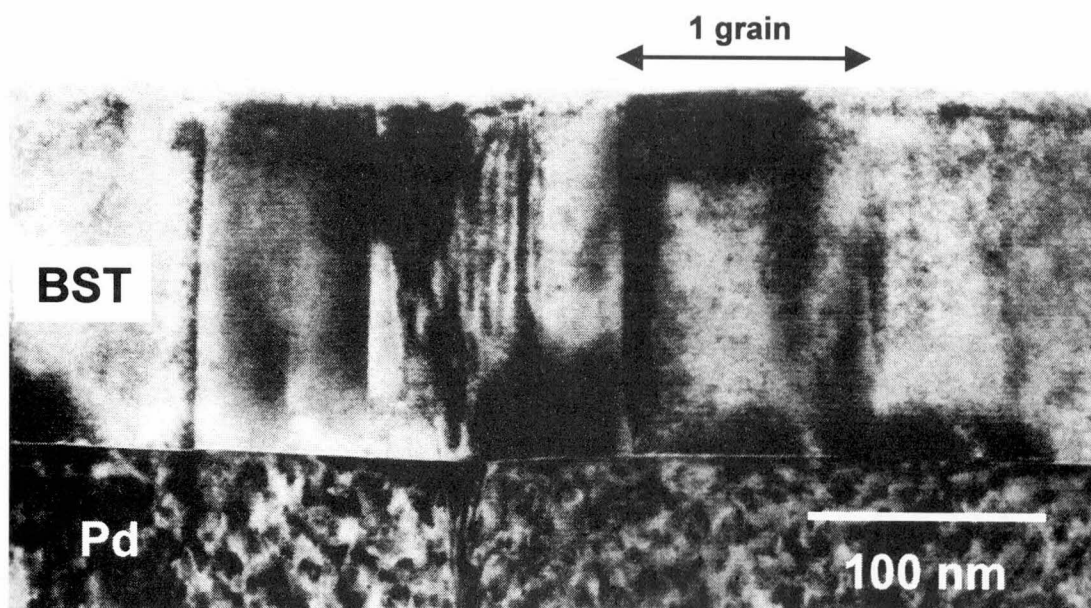
界面の遷移層成分を低減するためには、さらに高い基板温度で成膜し、BST 薄膜の結晶性を向上させることが考えられる。しかし、700°C 以上の高い基板温度でも平坦な表面を有する、適当な下部電極材料が見あたらないことと、第3章で述べるように、容量コンタクト上へ成膜する際のバリアメタルとして、700 °C 以上のプロセス温度に耐える電極材料が存在しないことから、本節で検討した 650 °C 以上の基板温度での成膜は現実的であるとは言えない。2.2 節で述べたような、ビーム電圧の増加といった他の手段によって、BST 薄膜の結晶性を向上させる手段を検討すべきであると思われる。

2.3.6 微細グレイン構造と誘電率の関係

今回作製した $(\text{Ba}+\text{Sr})/\text{Ti}$ 比の異なる BST 薄膜において、誘電率と微細構造の関係を調べるため、TEM を用いて断面の観察を行った。 $(\text{Ba}+\text{Sr})/\text{Ti}$ 比 = 1.09 と 0.94 の BST 薄膜の断面 TEM 写真を図 2.38(a)、(b) にそれぞれ示す。どちらの BST 薄膜も SrTiO_3 薄膜と同様、下部電極 Pd との界面には非晶質層やボイドなどは観察されず、界面直上から結晶化した柱状グレイン構造を有することがわかる。しかし粒径には明確な違いが見られ、図 2.38(a) に示した誘電率が約 400 である $(\text{Ba}+\text{Sr})/\text{Ti}$ 比 = 0.94 の BST 薄膜においては、粒径が 30~60 nm であるのに対し、図 2.38(b) に示した誘電率が約 500 である $(\text{Ba}+\text{Sr})/\text{Ti}$ 比 = 1.09 の BST 薄膜においては、70~100 nm の大きな粒径となっている。したがって、イオンビームスパッタ法による BST 薄膜では、膜厚が等しい場合、粒径の大きな結晶のほうが高い誘電率を示すことが明らかとなった。



(a) $(\text{Ba}+\text{Sr})/\text{Ti}$ 比=0.94



(b) $(\text{Ba}+\text{Sr})/\text{Ti}$ 比=1.09

図 2.38 BST 薄膜の断面 TEM 写真
(a) $(\text{Ba}+\text{Sr})/\text{Ti}$ 比=0.94、(b) $(\text{Ba}+\text{Sr})/\text{Ti}$ 比=1.09

2.4 (Ba,Sr)TiO₃ 薄膜の長期信頼性

2.4.1 TDDB 特性の(Ba,Sr)TiO₃ 膜厚依存性

前節までに述べた BST 薄膜の誘電特性は、平坦なキャパシタを作製した直後におけるいわゆる初期特性である。しかし初期特性で優れた特性が得られたとしても、実際の Gbit 級 DRAM に適用されるためには、動作電圧における寿命すなわち長期信頼性が保証されなければならない。本節では 2.3 節で作製した BST 薄膜キャパシタに関し、電圧加速試験によって、時間に依存した絶縁破壊特性(Time dependent dielectric breakdown (TDDB))を評価し、DRAM 動作時の長期信頼性寿命を求めた結果について述べる。

まず BST 薄膜の絶縁破壊特性と膜厚の関係について述べる。試料は 2.3 節に述べた方法で作製したものであり、最も高い誘電率が得られる(Ba+Sr)/Ti 比 = 1.05 の組成を選択した。BST 膜厚 50 nm、130 nm、160 nm の 3 つの試料に関して、リーク電流の印加電界(E)依存性を図 2.39 に、誘電率の膜厚依存性を図 2.39 中の挿入図にそれぞれ示す。BST 膜厚 50 nm において SiO₂ 換算膜厚(teq)は 0.70 nm となり、Gbit 級 DRAM への応用が可能な 1 nm 以下の小さな teq 値が得られている。リーク電流は BST 膜厚が減少するにしたがって増加するが、膜厚 50 nm の場合でも、+1 V 印加時に相当する印加電界 0.2 MV/cm において 10⁻⁸ A/cm² 台の小さな値となっている。これら 3 つの試料に対して、5~30 V の直流電圧を印加してそのリーク電流を 1 秒毎に測定した。測定温度は室温である。図 2.40 に、BST 膜厚 50 nm の試料に 7.8~10 V を印加した場合におけるリーク電流の時間依存性を示す。印加時間に伴ってリーク電流は徐々に減少するが、ある時刻において急激に増大して絶縁破壊に至る、いわゆる hard breakdown が観察される。バルクセラミクスや薄膜において一般に観察される抵抗劣化(resistance degradation)や^[11]、近年、極薄膜の SiO₂ で報告されているような、一瞬のうちに導通状態とならずにリーク電流が数桁増大した後、再び減少したりする soft breakdown は観測されない。本節において絶縁破壊として観察されたのは、いずれも hard breakdown であり、後述する抵抗劣化によるリーク電流の増加とは、発生する電界強度が異なっている。

絶縁破壊に至るまでの時間を T_{BD} (time to breakdown)と定義し、T_{BD} を印加電圧に対してプロットしたのが図 2.41 である。T_{BD} は印加電圧の減少に対して指数関数的に増加し、50~160 nm のいずれの膜厚に対しても T_{BD} を +1 V まで外挿した場合の寿命は 10 年以上となる。この結果より、BST 薄膜は、長期信頼性の観点からも実際の Gbit 級 DRAM へ適用可能な特性を有しているこ

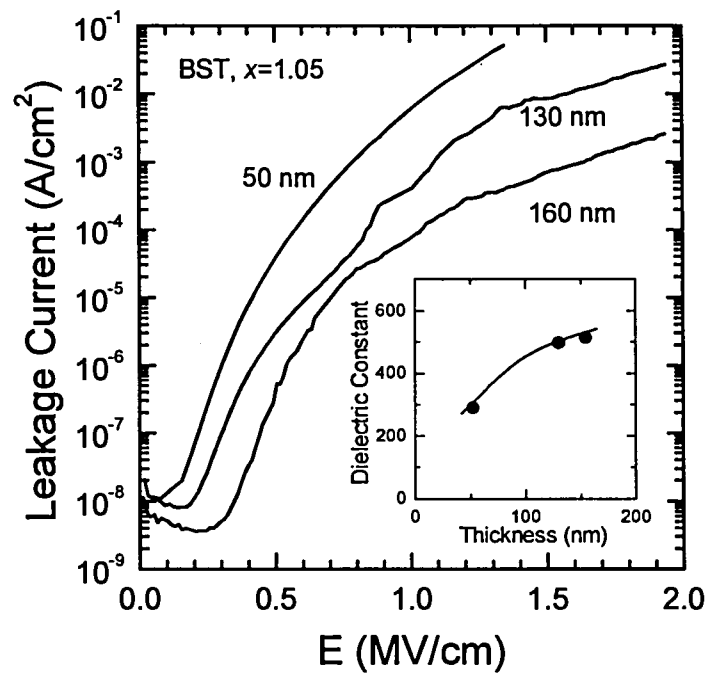


図 2.39 リーク電流の電界依存性 (挿入図は誘電率の膜厚依存性)

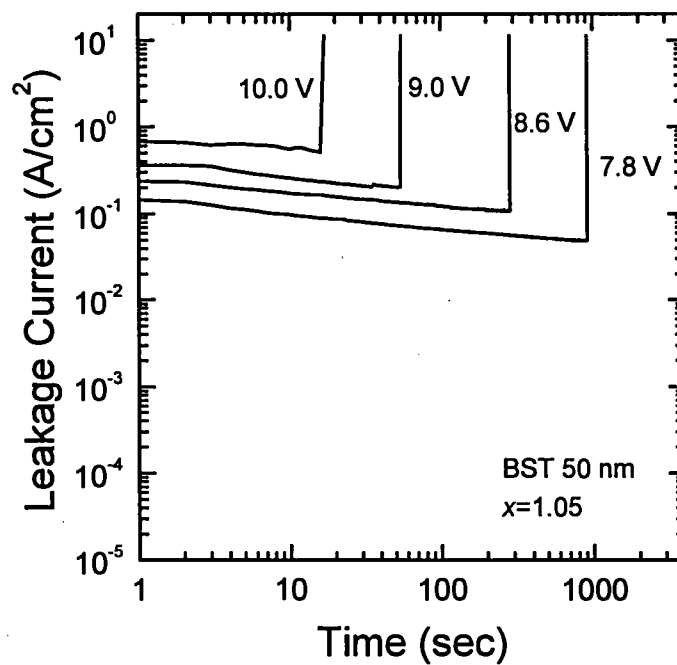


図 2.40 BST 薄膜の絶縁破壊特性

とがわかる。次に、 T_{BD} を印加電界 E およびその逆数 $1/E$ に対してそれぞれプロットした結果を図 2.42 に示す。3 つの異なる膜厚に対して、 T_{BD} は明らかにひとつの直線関係で表記できる。つまり BST の絶縁破壊現象は印加電界(E)の関数である。同時に、 T_{BD} は電界 E 及び逆数 $1/E$ のどちらに対してもほぼ直線で指数関数近似が可能であることもわかる。 SiO_2 薄膜を含め、絶縁破壊時間 T_{BD} と電界 E の関係については未だ議論されており、明確な結論には至っていない。一般に、 $1/E$ に対して指数関数近似を行った場合のほうが、 E に対して指数関数近似を行った場合よりも、外挿による低電界での寿命ははるかに長くなる。 SiO_2 薄膜に関しては、次のような「インパクトイオン化モデル」によって T_{BD} の $1/E$ 依存性が説明されている^[12]。まず、カソード電極から F-N トンネル注入された高エネルギー電子が、 SiO_2 薄膜中及びアノード界面でインパクトイオン化を引き起こす。その結果生じた高エネルギーのホールが SiO_2 薄膜へ再注入され、カソード側へドリフトすることによってトラップが生成し、さらに電子の注入を促進するという正のフィードバックによって、絶縁破壊が引き起こされる。BST 薄膜に関しても、同様のメカニズムが成立する可能性はあるが、現時点では E 依存性と $1/E$ 依存性のどちらが正確であるのか、明確な結論は得られていない^[13-15]。

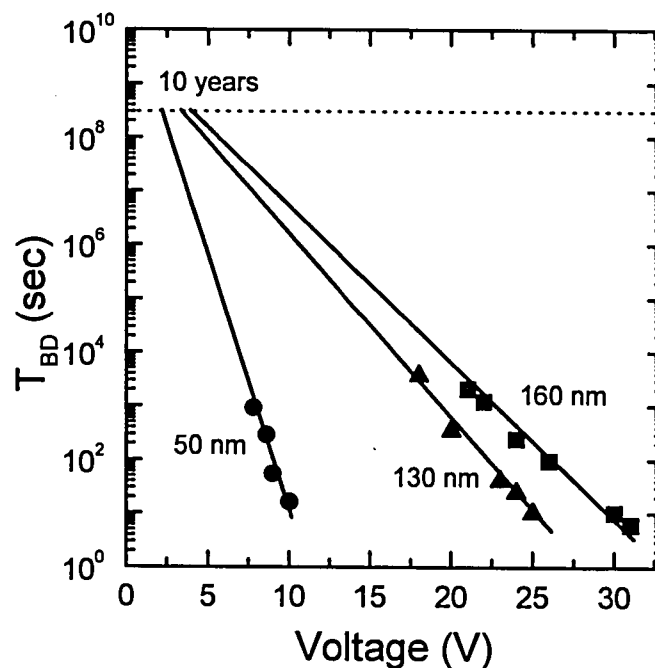


図 2.41 絶縁破壊時間(T_{BD})の電圧依存性

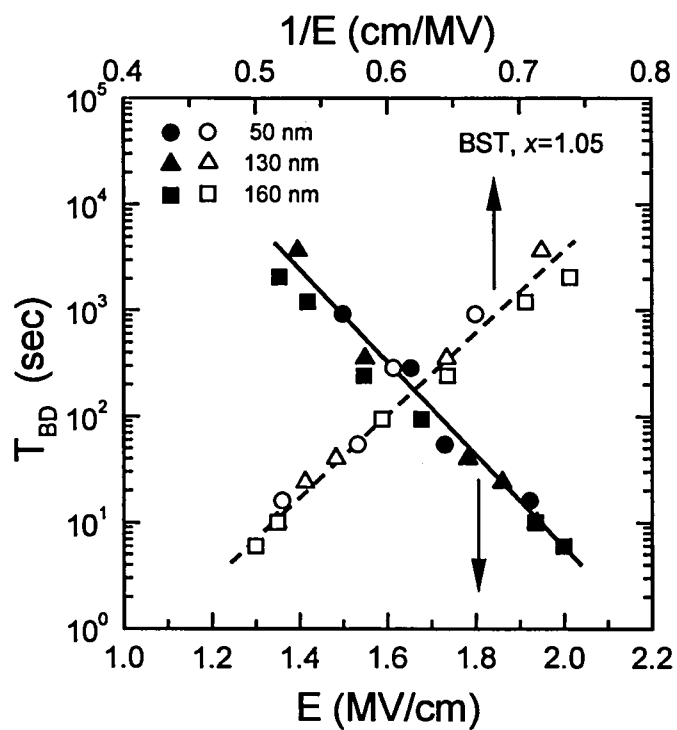


図 2.42 絶縁破壊時間(T_{BD})の電界依存性

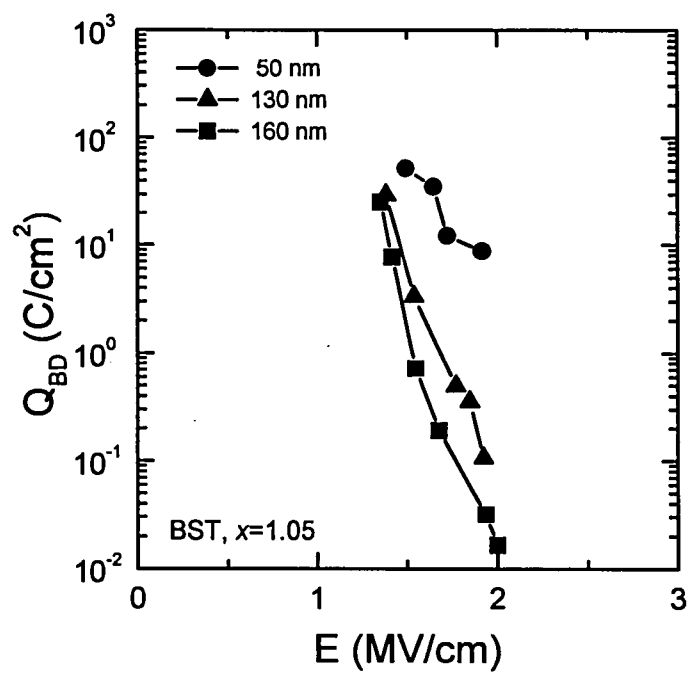


図 2.43 絶縁破壊電荷(Q_{BD})の電界依存性

次に SiO₂ 及び BST に関して、これまでに報告されている寿命と今回の結果を比較する。表 2.8 に、絶縁破壊がちょうど 10 年となる印加電界(E₀)を比較した結果を示す。E₁、E₂ はそれぞれ、T_{BD} の E 依存性、1/E 依存性から外挿して求めた電界強度である。また 1/E 依存性を以下のように記述した場合の、指数項の係数β及び、βと膜厚 d の積についても表 2.8 に記載した。

$$T_{BD} = \alpha \exp (\beta / E) \quad \cdots (2-6)$$

前述のように、E₂ のほうが E₁ よりも大きな値となっている。またβと d の積(βd)が SiO₂ 薄膜と BST 薄膜ではほぼ等しいという報告もなされているが^[15]、βd 積は印加電圧(V)の単位となり、材料の異なる絶縁膜の破壊現象が印加電圧に依存するというメカニズムは考えにくい。実際、今回の膜厚の異なる BST 薄膜に対してβd 積は一定とならなかった。よって図 2.42 に示すように、絶縁破壊は、印加電圧 V ではなく、印加電界 E に依存すると考えた方が自然であると思われる。

表 2.8 キャパシタの寿命比較

	d (nm)	β (MV/cm)	β d (V)	E ₁ (MV/cm)	E ₂ (MV/cm)
SiO ₂ ^[12]	5	350	175	—	7.80
BST ^[15]	30	58	174	—	1.12
BST	50	26	130	0.24	0.86
BST	130	26	338	0.24	0.86
BST	160	26	416	0.24	0.86

注) E₁、E₂はそれぞれT_{BD}のE依存性、1/E依存性から外挿して求めた電界強度である。
また1/E依存性を $T_{BD}=\alpha\exp(\beta/E)$ と記述した場合の指数項の係数β及び、βと絶縁膜の膜厚dの積について記載した。

絶縁破壊に至るまで BST 薄膜に注入された総電荷量 Q_{BD} をリーク電流の時間積分により求め、Q_{BD} と電界 E の関係を示したのが図 2.43 である。Q_{BD} も電界に強く依存することがわかる。また膜

厚が小さいほど Q_{BD} は多くなっているが、これは図 2.42 に示すように、 T_{BD} が膜厚によらず電界強度で一意的に決まっていることと、図 2.39 に示すように、膜厚が小さいほどリーク電流が大きいことで説明することができる。つまり、膜厚 50 nm の BST 薄膜のほうが、160 nm の BST 薄膜よりも同一電界でのリーク電流が大きいと、 Q_{BD} も大きくなる。もし、仮に Q_{BD} が電界に依存せず一定値を示すような特性であれば、長時間を要する TDDDB 測定を行わなくても、通常の I-V 特性の高電界側の特性を低電界側に外挿することによって、 Q_{BD} に至る時間、つまり寿命をある程度予測することが可能となる。しかし、今回の結果からは、 Q_{BD} も電界の関数であり、 T_{BD} はやはり実測により求める必要があるという結果となった。

2.4.2 TDDDB 特性の(Ba+Sr)/Ti 比依存性

次に BST 薄膜の TDDDB 特性と(Ba+Sr)/Ti 比の関係について述べる。BST の膜厚を 50 nm に固定して、(Ba+Sr)/Ti 比を 0.94~1.10 の範囲で変化させた試料における、初期 J-E 特性を図 2.44 に、それらの BST 薄膜の teq 値を図 2.44 中の挿入図にそれぞれ示す。リーク電流は、2.3 節で述べたように(Ba+Sr)/Ti 比が小さくなるにしたがって徐々に減少し、(Ba+Sr)/Ti 比 1.05 以下では 0.2 MV/cm において 10^{-8} A/cm² 台の小さな値を示す。一方、 teq は 5 % A サイトリッチの組成((Ba+Sr)/Ti 比 = 1.05)において最小値を示す。これらの試料に対して T_{BD} を測定し、印加電界 E に対してプロットしたのが図 2.45 である。(Ba+Sr)/Ti 比が小さくなるにしたがって T_{BD} は増加し、同じ電界 E に対して、(Ba+Sr)/Ti 比 = 0.94 の BST 薄膜のほうが、(Ba+Sr)/Ti 比 = 1.10 の BST 薄膜よりも 3 桁以上 T_{BD} が大きい。一方、図 2.44 の挿入図に示したように、 teq は、(Ba+Sr)/Ti 比 = 1.05 の時に最小であり、(Ba+Sr)/Ti 比 = 1.10 の時に最大となっていることから、 teq の大小と T_{BD} の大小には特別な相関関係が見られないことがわかる。つまり、BST 薄膜の絶縁破壊時間は、リーク電流の小さなものほど長くなり、(Ba+Sr)/Ti 比や teq の値には依存しないことがわかる。また図 2.45 において、 $\log(T_{BD})$ と電界 E は直線関係となり、その傾きは(Ba+Sr)/Ti 比によらずほぼ等しくなっている。したがって、(Ba+Sr)/Ti 比の異なる BST 薄膜においても、電圧によって加速される絶縁破壊に至るメカニズムは等しいと思われる。さらに詳細に(Ba+Sr)/Ti 比 = 1.05 と(Ba+Sr)/Ti 比 = 1.02 の BST 薄膜を比較すると、ほんのわずかなリーク電流の改善によっても T_{BD} は 1 桁以上向上する。したがって、長期信頼性を向上させる観点からは、できるだけリーク電流の小さな BST 薄膜を作製することが重要であることがわかる。

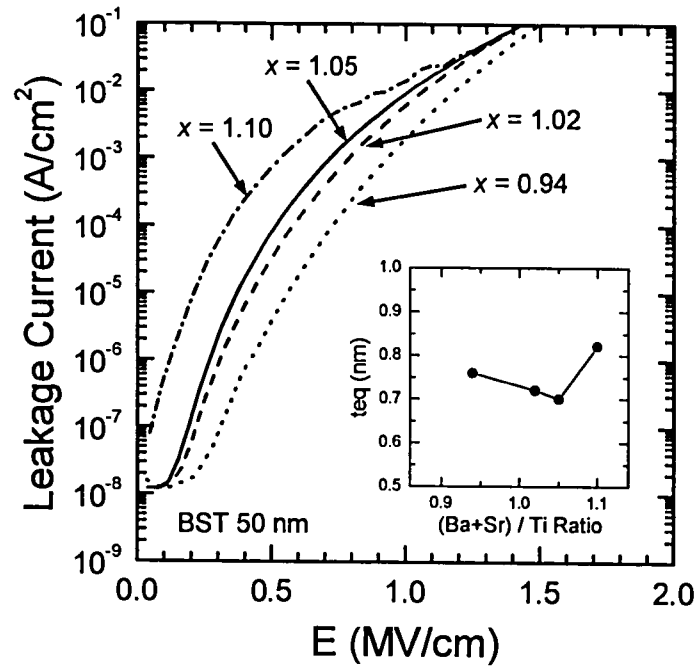


図 2.44 (Ba+Sr)/Ti 比の異なる BST 薄膜におけるリーク電流の電界依存性

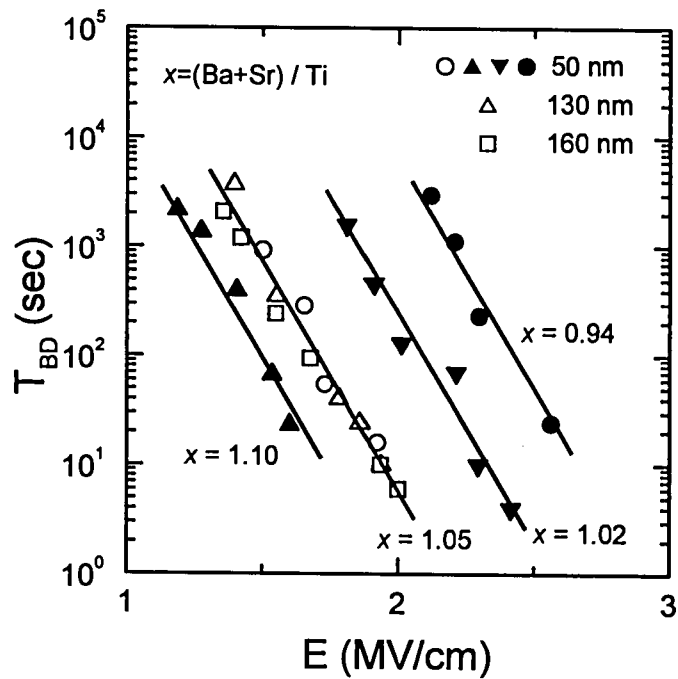


図 2.45 (Ba+Sr)/Ti 比の異なる BST 薄膜における絶縁破壊時間(TBD)の電界依存性

外挿寿命の代わりに、前述の 10 年で絶縁破壊となる電界(E_b)を T_{BD} の E 依存性と $1/E$ 依存性から求めた結果を、図 2.46 にそれぞれ▲印と●印で示す。 $(Ba+Sr)/Ti$ 比が 1.10 から 0.94 へと変化するにしたがって、 E_b は E 依存性では 0.1 から 1.0 MV/cm へ、 $1/E$ 依存性では 0.7 から 1.5 MV/cm へと増加し、組成によってほぼ 2~10 倍の差となることがわかる。ここで、 SiO_2 薄膜との材料的な比較を試みる。BST 薄膜は SiO_2 薄膜より誘電率が大きいので、単純にこの E_b 値を用いて比較することはできない。そこで電荷蓄積能力の長期信頼性の指標として、以下の「 SiO_2 換算 10 年絶縁破壊電界(E_{eq})」という値を導入し、比較を行うことにする。

$$E_{eq} = E_b \times d_{film} / t_{eq} \quad \cdots (2-7)$$

ここで E_b は 10 年で絶縁破壊に至る電界であり、 d_{film} は BST や SiO_2 の膜厚である。

今回の試料の T_{BD} の E 依存性と $1/E$ 依存性に関して、(2-7)式より求めた E_{eq} を図 2.46 にそれぞれ△印と○印で示す。 $(Ba+Sr)/Ti$ 比が 0.94~1.05 の範囲内の BST 薄膜に対する E_{eq} は、 E 依存性では 17~75 MV/cm、 $1/E$ 依存性では 60~110 MV/cm となる。ここで 2.5 nm の極薄 SiO_2 薄膜において、 E_b は $1/E$ 依存性でほぼ 9 MV/cm であるという報告があるので^[16]、 $(Ba+Sr)/Ti$ 比が 0.94~1.05 の範囲内の BST 薄膜は、長期信頼性を含めた電荷蓄積能力という観点で SiO_2 薄膜を上回り、キャパシタ絶縁膜として材料的に優れていると結論づけることができる。さらにこの図 2.46 からは、BST 薄膜の組成設計に関する指針も得られる。 $1/E$ 依存性で考えた場合、もしキャパシタの動作電界が 0.7 MV/cm 程度であれば、長期信頼性を保証しながら最大の蓄積能力が得られる $(Ba+Sr)/Ti$ 比 = 1.05 の組成を選択すれば良い。 $(Ba+Sr)/Ti$ 比が 0.94~1.05 の範囲内の BST 薄膜の t_{eq} は、図 2.44 の挿入図に示したように、 $(Ba+Sr)/Ti$ 比の増加とともに単調減少し、また図 2.46 より、この $(Ba+Sr)/Ti$ 比範囲内では、 E_b はいずれも 0.7 MV/cm 以上であるから、 $(Ba+Sr)/Ti$ 比 = 1.05 の組成が最適組成となる。しかし、もし $(Ba+Sr)/Ti$ 比=0.94 の組成における $t_{eq} = 0.75$ nm 程度でも、目的とする容量が得られるならば、最も E_b や E_{eq} の大きな、つまり長期信頼性の優れた $(Ba+Sr)/Ti$ 比 = 0.94 の組成を選択すれば良いと言える。

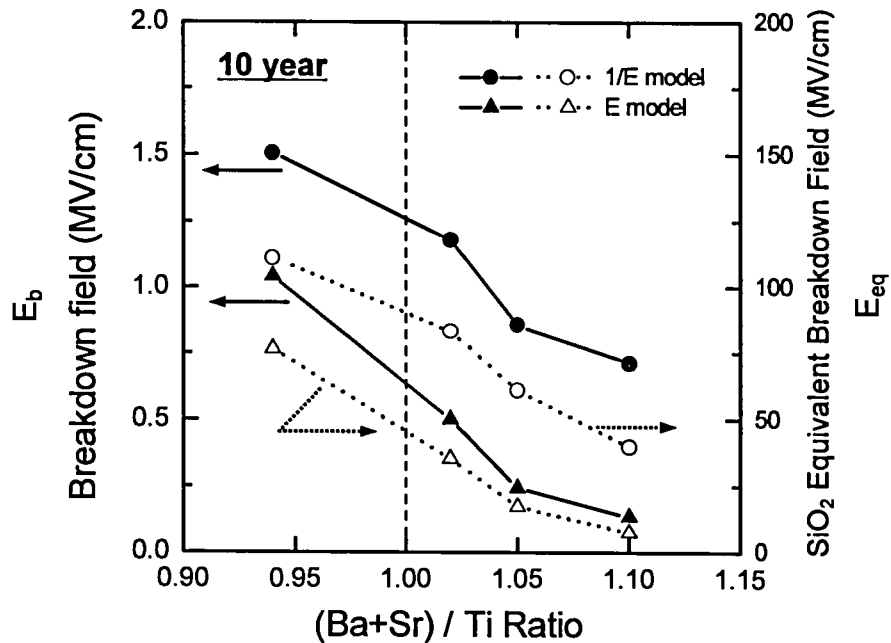


図 2.46 (Ba+Sr)/Ti 比の異なる BST 薄膜における 10 年破壊電界(E_b)と SiO₂ 換算 10 年破壊電界(E_{eq})の比較

2.4.3 SILC の観察と(Ba,Sr)TiO₃ 膜厚及び(Ba+Sr)/Ti 比依存性

SiO₂ 薄膜では、高電界ストレスを印加し、そのストレスを除去した後に低電界でリーク電流を測定すると、ストレス前よりもリーク電流が増加する、いわゆる Stress Induced Leakage Current (SILC) が報告され、フラッシュメモリの長期信頼性において大きな問題となっている^[17]。これまで BST 薄膜のようなペロブスカイト型酸化物薄膜においては、高電界印加中の抵抗劣化に関して報告があるものの、SiO₂ 薄膜のように電界ストレスを除去した後の、低電界におけるリーク電流の増加や、その定量的扱いに関してはまとまった報告例がない。

まず高電界ストレスを印加する前の初期の BST 薄膜に対して、+1 V の電圧を印加した場合のリーク電流の時間変化を図 2.47 に示す。第 1 回目の測定が終了後、試料は上下電極を短絡した状態で 30 秒保持した後、再び第 2 回目の測定を行った。いずれの場合も時間 t のほぼ -1 乗に比例して減少する電流が観測され、電流密度 J は、

$$J = A \cdot t^{-1} = 3 \times 10^{-8} \cdot t^{-1} \quad [\text{A/cm}^2] \quad (A \text{ は定数}) \quad \cdots (2-8)$$

と表される。この電流は、バルクセラミクスやアモルファス膜で報告されている吸収電流と呼ばれる電流であり、時定数が幅広く連続的に分布した誘電緩和成分への充電電流であると考えられている。この吸収電流が時間 t の-1 乗に比例することは、図 2.48 に示す Curie - von Schweidler 則で説明することができる^[18-20]。つまり BST 薄膜中に多数存在すると思われる結晶欠陥などが、連続した時定数を持つ誘電緩和成分を形成し、その誘電緩和成分への充電電流の和が、時間に依存しない真のリーク電流成分よりも大きいために観測されていると考えられている。また図 2.47 に示すように 2 回の連続した測定においてほぼ等しい吸収電流特性が見られることから、BST 薄膜中の様々な時定数を持つ分極成分への充放電は、今回の測定時間領域ではほぼ等しく行われていると思われる。

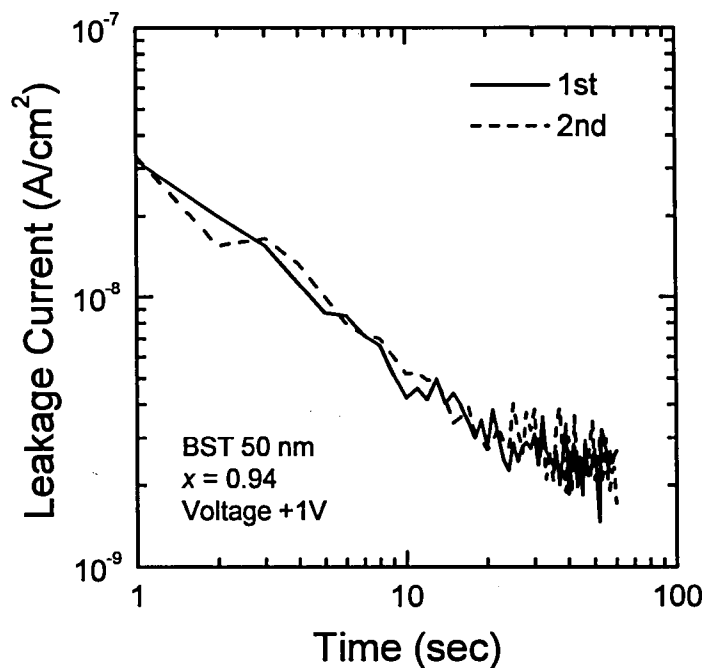


図 2.47 吸収電流の繰り返し特性

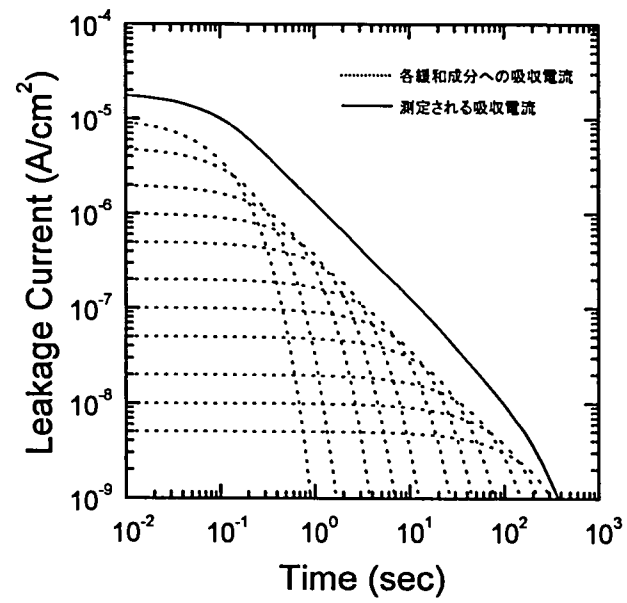


図 2.48 Curie - von Schweidler 則による吸収電流

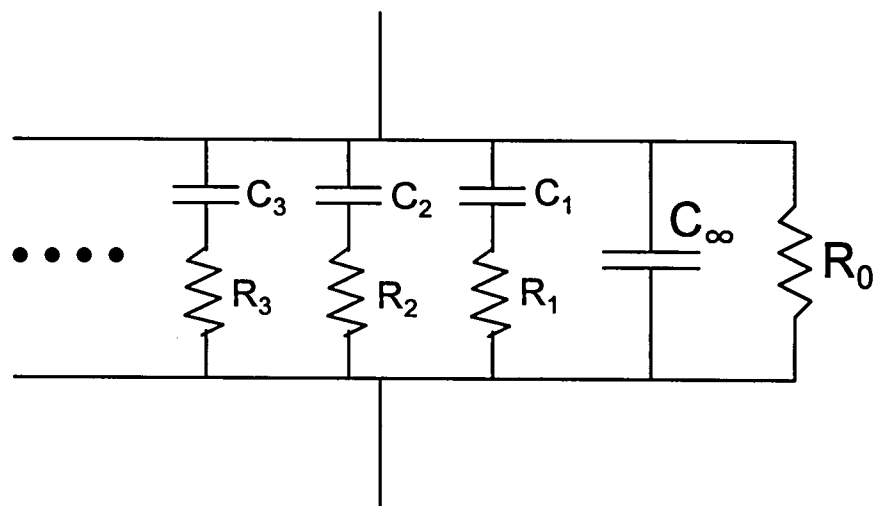


図 2.49 誘電緩和を考慮した BST キャパシタの等価回路

誘電緩和を考慮した BST キャパシタの等価回路を図 2.49 に示す^[21]。C_∞は数 nsec の DRAM セルの書き込みパルスに応答するキャパシタであり、R₀ はリーク電流成分、C₁、R₁、C₂、R₂、C₃、R₃・・・は誘電緩和成分である。DRAM のセルキャパシタにおいては、短い書き込みパルスによって C_∞に瞬時に電荷が蓄積される。そして書き込み時間の終了と同時にセルトランジスタはオープンとなり、リフレッシュ期間中に蓄積された電荷は R₀ のリーク電流として消失すると同時に、C_i と R_i (i=1,2,3・・・)の直列 CR 成分へと緩和してしまう。これらの電荷はリフレッシュ期間終了後、高速の読み出しパルスに応答できないため、キャパシタ外部からは損失した電荷と見なされる。

この誘電緩和によって DRAM のリフレッシュ期間中に読み出しが不可能となる電荷量を計算する。64MbDRAM においてリフレッシュ時間は約 100 nsec であるので、Gbit 級 DRAM では最大でも 10 sec までを考慮すれば充分である。図 2.47 の吸収電流が 1 nsec まで t の-1 乗に比例すると考えると、読み出し不可能となる単位面積あたりの電荷量 Q_{loss} は、吸収電流 J の 1 nsec から 10 sec までの時間積分に相当する。この Q_{loss} を求めると、

$$Q_{\text{loss}} = \int_{10^{-9}}^{10} 3 \times 10^{-8} \cdot t^{-1} dt = 0.69 \quad [\mu\text{C}/\text{cm}^2] \quad \cdots (2-9)$$

となる。この BST 薄膜の teq は 0.75 nm であるので、+1V における蓄積電荷量(Q_{charge})は、

$$Q_{\text{charge}} = C \cdot V = 3.9 \times \epsilon_0 \times \frac{V}{\text{teq}} = 5.06 \quad [\mu\text{C}/\text{cm}^2] \quad \cdots (2-10)$$

(ただし、ε₀ は真空誘電率、V は電源電圧(1V))

となる。したがって、誘電緩和によって読み出し不可能となる電荷損失の割合αは、

$$\alpha = Q_{\text{loss}} / Q_{\text{charge}} = 14 \quad [\%] \quad \cdots (2-11)$$

となる。従来、DRAM のセルキャパシタに対して、誘電緩和を考慮した電荷損失率とリフレッシュ時間の関係について厳密な議論はなかった。これは ON 膜などでは誘電緩和そのものが小さく、直流電圧印加時のリーク電流が電荷損失の主たる原因であったためである。定量的な議論は後

述するが、電荷損失率が 15 %以下であれば DRAM セルの動作に影響はないと考えられ、今回評価した BST 薄膜の初期の誘電緩和は問題にならないレベルであると言える。

しかし高電界を印加後の BST 薄膜では、その高電界ストレスの印加時間の増加に伴って、吸収電流成分が徐々に増加したり、時間に依存しない真のリーク成分が急激に増加することが明らかとなった。(Ba+Sr)/Ti 比 = 1.05、膜厚 50 nm と 130 nm の BST 薄膜に、1.4 MV/cm の高電界ストレスを一定時間印加した後の、+1 V における電流の時間依存性を図 2.50 に示す。ここで高電界ストレス印加時に BST 薄膜を通過した電流の時間積分をストレス電荷と定義し、印加時間を変化させることでストレス電荷を変化させたところ、SiO₂ 薄膜における SILC と同様の電流増加が BST 薄膜でも観察された。またストレス電荷量が増大するにしたがって、SILC も大きくなっていることがわかる。図 2.51 に示すように、(Ba+Sr)/Ti 比 = 0.94、膜厚 50 nm と 130 nm の BST 薄膜においても、SILC は同様に観察される。しかし、この場合のストレスの印加電界は 2.0 MV/cm であり、図 2.50 の場合よりも高電界であるにもかかわらず、SILC の増加は小さい。よって、この 2 つの組成の比較から、SILC を抑制するためにも (Ba+Sr)/Ti 比は 0.94 のほうが望ましく、図 2.46 の TDDB 特性と同様の傾向であることがわかる。また興味深いことに、膜厚の小さな BST 薄膜ほど SILC の増加が小さい。これは次のように説明できる。おそらく SILC は、BST 薄膜に注入された高エネルギーの電荷(電子)によって生成されたトラップを介して流れている電流成分であると思われる。したがって、膜厚の小さな BST では電子が BST 薄膜中の原子や電子と衝突してトラップを形成する前に、もう一方の電極へと流出してしまう割合が大きいため、形成されるトラップの総数が小さくなり、結果的に低電界での SILC の増加も小さいと考えられる。

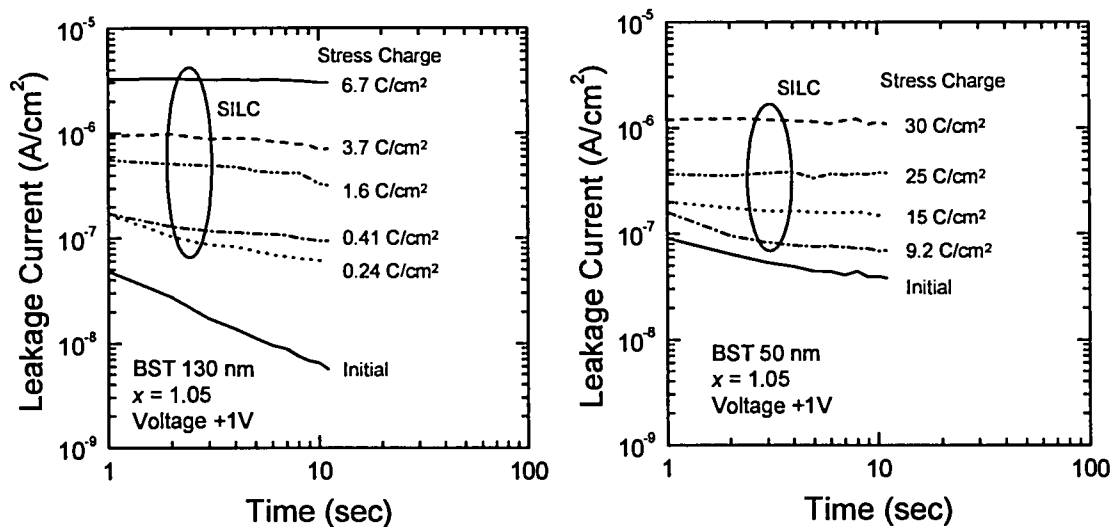


図 2.50 電界ストレス 1.4 MV/cm 後の SILC の増加

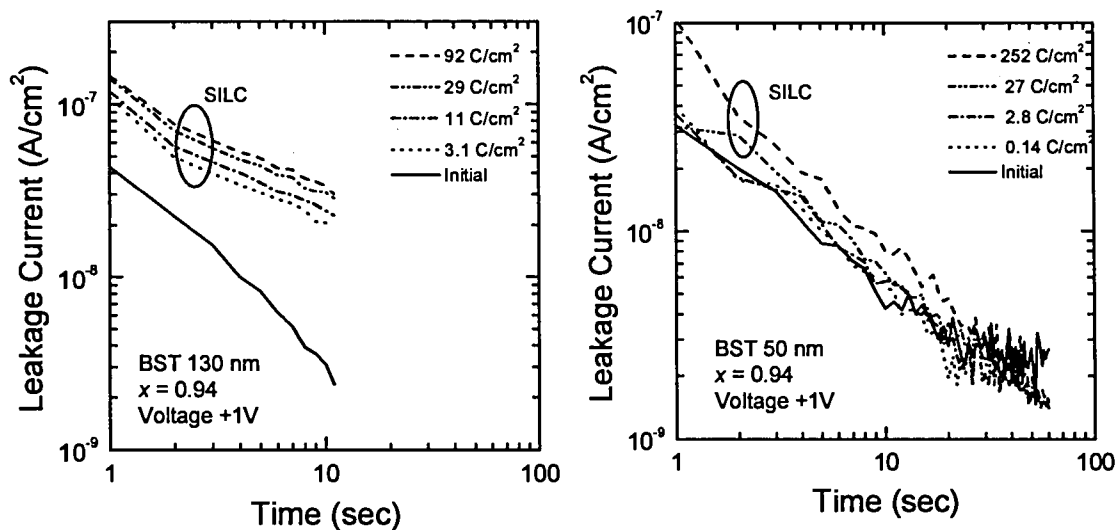


図 2.51 電界ストレス 2.0 MV/cm 後の SILC の増加

2.4.4 (Ba,Sr)TiO₃ キャパシタの長期信頼性に及ぼす SILC の影響

このような SILC が、実際の Gbit 級 DRAM の長期信頼性にどのような影響を与えるのかを定量的に議論する。前述のように吸収電流を時間積分することによって、DRAM のセルキャパシタに蓄積された電荷が、リフレッシュ期間内に読み出し不可能な分極へと緩和してしまう損失電荷量 (Q_{loss}) を求める。このとき Gbit 級 DRAM では、動作周波数も 1 GHz 程度になっていると想定されるので、時間積分の下限は 1 nsec とし、上限は前述と同様、Gbit 級 DRAM のリフレッシュ時間としては十分長い 10 sec とする。initial の吸収電流特性は 1 nsec まで t^{-1} 則に従うとし、ストレス印加後の J-t 特性については、initial の J-t 特性と交わる時刻までは測定された J-t 特性が外挿できるとし、その時刻よりもさらに短い時間領域では、initial の J-t 特性に従うと考えた。そして initial の J-t 特性を上記時間領域で積分して求めたストレス印加前の損失電荷量 (Q_{loss0}) と、ストレス印加後の J-t 特性から積分により求めたストレス後の損失電荷量 ($Q_{\text{loss'}}$) の差 (ΔQ_{loss}) を以下のように定義して計算した。

$$\Delta Q_{\text{loss}} = Q_{\text{loss'}} - Q_{\text{loss0}} \quad \cdots (2-12)$$

1GbitDRAM を想定した場合、キャパシタに印加させる電圧は 1 V、キャパシタ面積はほぼ 0.1 μm^2 、損失電荷量として許容される最小値は 5 fC/cell と考えられるので、DRAM 動作上許される ΔQ_{loss} は、

$$\Delta Q_{\text{loss}} = 5 [\text{fC}] / 0.1 [\mu\text{m}^2] = 5 \times 10^{-6} [\text{C}/\text{cm}^2] \quad \cdots (2-13)$$

となる。一方、DRAM を 10 年間動作させた場合の、キャパシタに印加されるストレス電荷の総量 (Q_{stress}) は、+1 V 印加時の定常的なリーク電流値を $1 \times 10^{-8} \text{ A}/\text{cm}^2$ とすると、

$$Q_{\text{stress}} = 1 \times 10^{-8} [\text{A}/\text{cm}^2] \times 3 \times 10^8 [\text{sec}] = 3 [\text{C}/\text{cm}^2] \quad \cdots (2-14)$$

となる。ここで実際の DRAM の動作状況よりもかなり厳しい仮定となるが、もし +1 V という低電界ストレスにおいても、図 2.50、2.51 のような高電界ストレスと同様の SILC が長時間後に発現すると想定する。すると、図 2.50 と図 2.51 に示したそれぞれのストレス電荷量 (Q_{stress}) に対して ΔQ_{loss} をプロッ

トすることにより、SILC による損失電荷によって DRAM の 10 年間動作が保証できるかどうかについての見通しを立てることができる。つまり、横軸の Q_{stress} に対しては、1GbitDRAM の 10 年間に相当する基準点($Q_{\text{stress}} = 3 \text{ [C/cm}^2\text{]}$)が与えられ、縦軸の ΔQ_{loss} に対しては、1GbitDRAM の正常動作を保証できる許容値の上限点($\Delta Q_{\text{loss}} = 5 \times 10^{-6} \text{ [C/cm}^2\text{]}$)が与えられる。そして、横軸の 10 年相当点を越えてもなお、データ点が ΔQ_{loss} の許容値以下であれば、SILC による DRAM 動作の長期信頼性への影響は無視できると結論づけることができる。

図 2.52 は、膜厚が 50 nm と 130 nm、(Ba+Sr)/Ti 比が 0.94 と 1.05 である 4 種類の BST 薄膜に対し、 ΔQ_{loss} と Q_{stress} の関係をプロットしたものである。(Ba+Sr)/Ti 比 1.05 の試料においては、ストレス電荷 Q_{stress} の増加に伴って、 ΔQ_{loss} は、ある Q_{stress} を境に急激に増加する。一方、(Ba+Sr)/Ti 比 0.94 の試料においては、今回の測定範囲内において ΔQ_{loss} は徐々に増加するものの、(Ba+Sr)/Ti 比 1.05 の試料のような急激な増加は見られない。そして (Ba+Sr)/Ti 比 1.05、膜厚 130 nm の試料を除いた 3 つの試料については、10 年間に相当する $Q_{\text{stress}} = 3 \text{ C/cm}^2$ の点を超えてもなお ΔQ_{loss} は許容値を大きく下回っている。したがって、この図 2.52 より、SILC による電荷損失を考慮に入れてもなお、BST 薄膜の寿命は Gbit 級 DRAM に対して 10 年を上回っていると結論づけることができる。

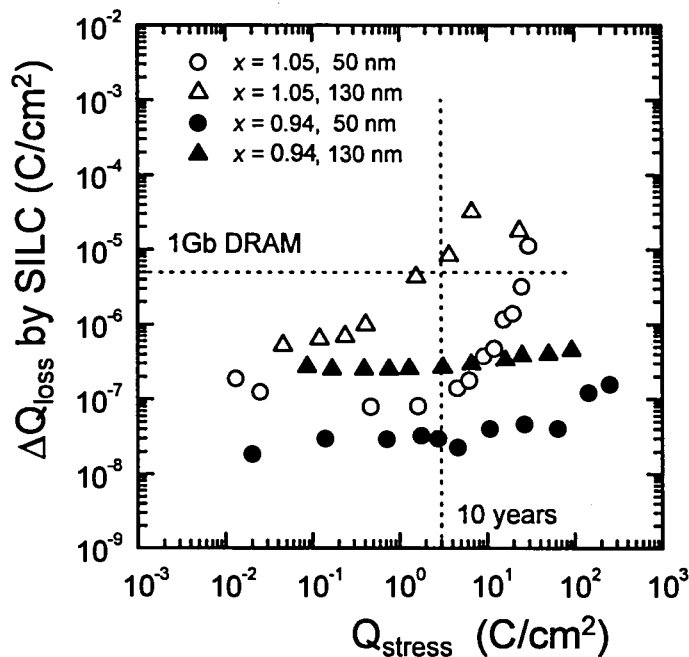


図 2.52 Q_{stress} に対する ΔQ_{loss} の増加

2.5 結言

平坦な Pd 電極上に、イオンビームスパッタ法により BST 薄膜を作製し、基板温度や組成、および膜厚等のプロセス条件と誘電特性の関係を明らかにした。以下に本章において得られた知見をまとめる。

1. イオンビームスパッタ法は rf マグネトロンスパッタ法と比較して、高品質の BST 薄膜を作製することが可能であることを明らかにした。特に SrTiO_3 の誘電率はビーム電圧に依存し、基板温度 430°C では、 20 nm まで薄膜化しても短絡せず、 50 nm までは 10^{-8} A/cm^2 台の良好なリーク電流特性と 200 以上の高誘電率を実現することができた。
2. SrTiO_3 薄膜や BST 薄膜は Pd 電極直上から結晶化した柱状グレイン構造を有しており、ボイドやクラックの無い緻密な構造を有していることを明らかにした。また膜厚 10 nm の SrTiO_3 薄膜の粒径は、大きいもので 50 nm になり、膜厚方向よりも横方向の成長が速い可能性が示唆された。
3. イオンビームスパッタ法による BST 薄膜において、誘電率は薄膜の $(\text{Ba}+\text{Sr})/\text{Ti}$ 比に大きく依存することを明らかにした。 $(\text{Ba}+\text{Sr})/\text{Ti}$ 比が 1.05 である組成において、最大値 580 の誘電率が得られた。
4. BST 薄膜の絶縁破壊に至る時間は、誘電率とは関係なく、リーク電流の小さいものほど長くなることを明らかにした。高誘電率と長期信頼性を両立できる組成として $(\text{Ba}+\text{Sr})/\text{Ti}$ 比 0.94 が挙げられ、この時の長期信頼性を含めた電荷の蓄積能力としては、 2.5 nm の SiO_2 膜を上回り、キャパシタ絶縁膜として材料的に優れていることを実証した。

イオンビームスパッタ法によって作製された BST 薄膜は、誘電率が膜厚の減少とともに低下する傾向を示すものの、物理膜厚 50 nm 以下まで良好な絶縁特性を示すことから、Gbit 級 DRAM への応用を十分期待できる特性を有していることが明らかとなった。次章ではいったん BST 薄膜そのものの特性からは離れ、実際の DRAM 素子に適用するための下部電極材料に関して、その構造の温度変化について検討した結果を述べる。

第2章の参考文献

- [1] S. Matsubara, T. Sakuma, S. Yamamichi, H. Yamaguchi, and Y. Miyasaka, *Mat. Res. Soc. Symp. Proc.*, 200, 243 (1990).
- [2] Y. Miyasaka and S. Matsubara, *Proc. of the 7th IEEE Int. Symp. on Applications of Ferroelectrics*, 121 (1990).
- [3] S. Yamamichi, T. Sakuma, K. Takemura, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, 30, 2193 (1991).
- [4] H. Yamaguchi, S. Matsubara, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, 30, 2197 (1991).
- [5] L. H. Parker and A. F. Tasch, *IEEE Circuits & Devices Magazine*, Jan. 17 (1990).
- [6] Landolt-Börnstein Numerical Data and Functional Relationships in Science and Technology, edited by K. H. Hellwege and A. M. Hellwege, New Series Vol. 16 (Springer-Verlag, New York, 1981) p.308.
- [7] H. Koinuma, H. Nagata, T. Tsukahara, S. Gonda, and M. Yoshimoto, *Appl. Phys. Lett.*, 58, 18, 2027 (1991).
- [8] V. S. Dharmadhikari and W. W. Granneman, *J. Vec. Sci. Technol.*, A1(2), Apr.-June, 483 (1983).
- [9] T. Kuroiwa, Y. Tsunemine, T. Horikawa, T. Makita, J. Tanimura, N. Mikami, and K. Sato, *Jpn. J. Appl. Phys.*, 33, 5187 (1994).
- [10] H. Yabuta, K. Takemura, H. Yamaguchi, S. Sone, T. Sakuma, and M. Yoshida, *Mat. Res. Soc. Symp. Proc.*, 361, 325 (1995).
- [11] K. Numata, Y. Fukuda, K. Aoki, and A. Nishimura, *Jpn. J. Appl. Phys.*, 34, 5245 (1995).
- [12] I.-C. Chen, S. Holland, and C. Hu, *IEEE Trans. Electron Devices*, ED-32, No. 2, 413 (1985).
- [13] Y. Shimada, A. Inoue, T. Nasu, Y. Nagano, A. Matsuda, K. Arita, Y. Uemoto, E. Fujii, and T. Otsuki, *Jpn. J. Appl. Phys.*, 35, 4919 (1996).
- [14] T.-S. Chen, D. Hadad, V. Balu, B. Jiang, S.-H. Kuah, P. C. McIntyre, S. R. Summerfelt, J. M. Anthony, and J. C. Lee, 1996 IEDM Tech. Dig., 679 (1996).
- [15] T. Horikawa, T. Kawahara, M. Yamamuka, and K. Ono, *Proc. Intl. Reliability and Physics Symp.*, 82 (1997).
- [16] C. Hu, 1996 IEDM Tech. Dig., 319 (1996).
- [17] A. Toriumi, J. Koga, H. Satake, and A. Ohata, 1995 IEDM Tech. Dig., 847 (1995).

- [18] R. Kohlrausch, Pogg. Ann., 91, 56 and 179 (1854).
- [19] J. Curie, Ann. Chim. Phys., 18, 203 (1889).
- [20] E. V. Schweidler, Ann. Phys., 24, 711 (1907).
- [21] T. Horikawa, T. Makita, T. Kuroiwa, and N. Mikami, Jpn. J. Appl. Phys., 34, 5478 (1995).

第3章 (Ba,Sr)TiO₃ キャパシタ用下部電極と 平坦型キャパシタの作製

3.1 緒言

本章では、BST 薄膜を実際の DRAM セルキャパシタに適用するための重要な課題の一つである下部電極について述べる。序論でも述べたように、Mbit 級以降の DRAM では、キャパシタはトランジスタの上方あるいは下方に 3 次元的に形成され、その一方の電極(つまり下部電極)はシリコン基板上に形成された MOS トランジスタのソースドレイン領域と接続されている。従来の DRAM では、容量絶縁膜には SiO₂ 膜や Si₃N₄ 膜あるいはその積層膜(一般に SiO₂/Si₃N₄ の積層膜(ON 膜))が、下部電極にはリンをドーピングしたポリシリコンが用いられ、さらに層間絶縁膜に設けられた容量コンタクト内にもリンドーピングのポリシリコンが埋め込まれている。ON 膜は、CVD 法による成膜や電気炉等による酸化や窒化プロセスで形成され、ポリシリコンとの反応による容量値の低下は問題にならない。下部電極に対する検討課題としては、形状的にどのように工夫して表面積を増やすかという点に集中している。しかしながら、ON 膜に代わって高誘電率 BST 薄膜を DRAM に導入するためには、膜そのものの作製プロセスの開発や特性改善と同時に、様々な金属が候補となる下部電極材料の適切な選択と、その加工プロセスの開発が重要となってくる。BST 薄膜の特性改善と、電極材料や構造の最適化が両方達成されて初めて、真に BST 薄膜がシリコン ULSI へ導入されるようになる。

本章ではソースドレイン領域を模して低抵抗シリコン基板を用い、その基板と電氣的接続を保ちながら、キャパシタ全体として BST 薄膜本来の特性を如何に実現するかという点に関し、Pt 系の下部電極を用いて検討した結果について述べる。特に微細構造と局所的な組成について詳細に検討した結果を述べる。そして BST 薄膜の下部電極は、単なる電極としての作用に加えて、シリコンの拡散を抑制するバリアメタルとしての機能が必要であることを示す。さらに最適化した Pt 系下部電極を用い、実際に微細な平坦型のキャパシタアレイを作製するための要素プロセスの開発とその試作結果について述べる。

3.2 シリコン上への高誘電率キャパシタ形成のための下部電極

3.2.1 シリコン上への直接成膜

本章では下部電極に着目した検討を行うが、誘電体である BST 系薄膜には、rf マグネトロンスパッタ法により作製された SrTiO_3 薄膜を用いる。これは研究当時において、第2章で述べたイオンビームスパッタ法のような比較的新しい成膜手法では、BST 薄膜の作製条件そのものに最適化の余地があったのに対し、rf スパッタ法はすでに成膜条件がほぼ固定されていたことと、後述するバリアメタルとしての耐酸化特性の観点からは、酸素濃度の高い rf スパッタ法で得られた結果は、イオンビームスパッタ法を始め他の手法へも適用可能であるとの見通しがあったからである。

さらに、組成分析の観点からも、EDX 法では Ba と下部電極の金属元素との分離が難しいため、構成元素の少ない SrTiO_3 薄膜を用いる必要があった。一般に DRAM のセルトランジスタは n チャネルであり、ソース/ドレイン拡散層には As が注入されている場合が多いが、本章ではこの n 型拡散層を模して、P を多量にドーピングした低抵抗シリコン基板($0.01 \sim 0.05 \Omega \cdot \text{cm}$)を用いた。図 3.1 に示すように、電気的特性を評価する際は、上部電極としては $\text{Au}(300 \text{ nm})/\text{Ti}(50 \text{ nm})$ を、下部電極としてはシリコン基板裏面に $\text{Au}(300 \text{ nm})/\text{Ti}(50 \text{ nm})$ をスパッタしたその Au 電極表面をプロービングし、シリコン基板を下部電極に含めた構造のキャパシタを評価していることが特徴である。つまり、 SrTiO_3 直下の下部電極上面からはプロービングしていない。このようなキャパシタ構造全体で測定された容量値と SrTiO_3 薄膜の膜厚から、実効的な誘電率を計算することができるが、以後本章ではこのようにして求めた誘電率を実効誘電率と呼ぶことにする。 SrTiO_3 薄膜の作製条件を表 3.1 に示す。

シリコン基板上に直接 SrTiO_3 薄膜を作製した結果については、Matsubara 達によって詳細な電気的特性と構造解析の報告がある^[1]。 SrTiO_3 薄膜を 400°C で成膜後に、 O_2 中、 600°C のアニールを行う条件において、実効誘電率は最も高くなるが、それでも SrTiO_3 膜厚 400 nm において高々 150 程度であり、断面 TEM 分析による構造解析から、 SrTiO_3 薄膜と Si 基板の界面に $3\text{-}10 \text{ nm}$ の膜厚の SiO_2 層が形成され、その界面 SiO_2 層によって実効誘電率が低くなっていることが示されている。

この界面 SiO_2 層は SrTiO_3 薄膜スパッタ前あるいはスパッタ中の高温酸化雰囲気中で形成されたものであり、シリコンの酸化反応が SrTiO_3 堆積反応より速く進むために形成される。 SrTiO_3 の成膜条件をどのように変化させても、界面遷移層が無い状態で、シリコン基板上に直接 SrTiO_3 薄膜

を形成することは不可能であると報告されている^[1]。

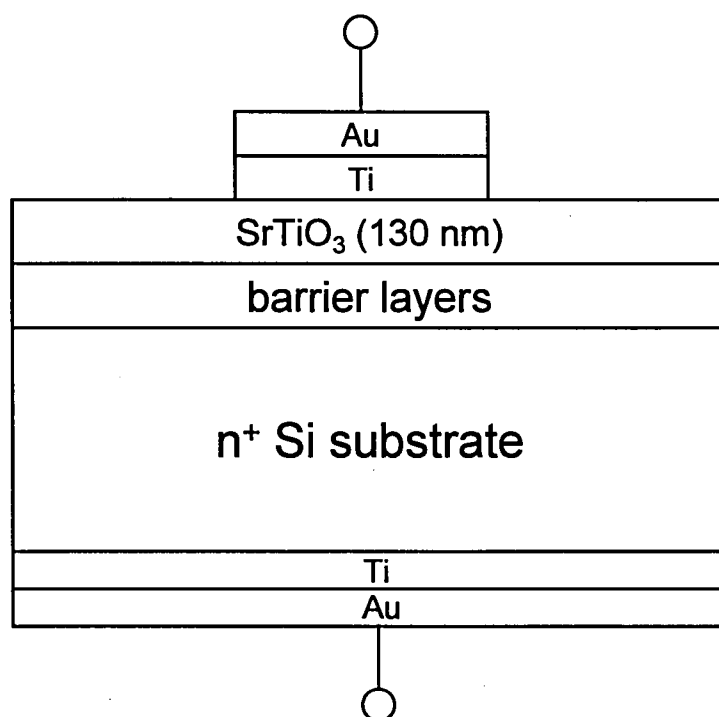


図 3.1 バリアメタルを含むキャパシタの構造

表 3.1 SrTiO₃ 薄膜の作製条件

Substrate	barrier layers / n ⁺ -Si(100) (Si : P-doped, 0.01~0.05Ω·cm)
Target	SrTiO ₃ powder
Substrate temperature	400 °C
Ar gas pressure	4.5 mTorr
rf power	1.37 W/cm ²
Target-substrate distance	72 mm
Deposition rate	5 nm/min

表 3.2 バリアメタル薄膜の作製条件

Substrate	n ⁺ -Si(100) (P-doped, 0.01~0.05Ω·cm)
Target	metal target
Substrate temperature	room temperature
Ar gas pressure	4.5 mTorr
Target-substrate distance	100 mm

表 3.3 TEM 分析を行った試料

Structure	SrTiO ₃ process	ε _r
SrTiO ₃ /Pt(150)/Si	as depo	68
SrTiO ₃ /Pt(150)/Ti(20)/Si	450 °C annealed	174
SrTiO ₃ /Pt(150)/Ti(20)/Si	600 °C annealed	38
SrTiO ₃ /Pt(50)/Ta(50)/Si	400 °C annealed	171
SrTiO ₃ /Pt(50)/Ta(50)/Si	700 °C annealed	216

3.2.2 Pt 系下部電極の多層化による高誘電率の実現

前節に述べた結果より、SrTiO₃ 薄膜とシリコンを電氣的に接続する下部電極に必要な第1の特性としては、

- ①SrTiO₃ 成膜中の高温酸素雰囲気でも低誘電率酸化物層を形成しないか、あるいは酸化されても十分導電性を有する材料であること、または導電性の酸化物であること、

が挙げられる。

そこで SrTiO₃ 薄膜と Si 界面に Pt や Pd などの貴金属薄膜を単層で挿入した場合を考える。この時もキャパシタ全体の誘電率は非常に小さいままであり、Pt/Ti のような 2 層構造の下部電極を用いることによって初めて高い実効誘電率が得られることが、同じく Matsubara 達によって示されて

いる^[1]。図 3.2 に下部電極として Pt(150 nm)または Pt(150 nm)/Ti(10 nm)を用いた場合のキャパシタ全体の実効誘電率の SrTiO₃ 膜厚依存性を示す。下部電極の作製条件を表 3.2 に示す。Pt(150 nm)単層の場合は、実効誘電率は Si 基板上に直接成膜した場合と同程度に小さな値となるが、Pt(150 nm)/Ti(10 nm)の場合は、SrTiO₃ 膜厚を 70 nm まで薄膜化しても 200 近い SrTiO₃ 本来の高誘電率が得られている。これは Pt 下層の Ti によって Si の拡散が抑制され、低誘電率層が形成されなかったためであると考察された。SrTiO₃ 成膜後のアニール処理に対する耐熱性に関しては Sakuma 達による報告がある^[2]。下部電極として Pt/Ti と Pt/Ta を用いて、SrTiO₃ 薄膜(130 nm)を同様に基板温度 400 °C で作製し、その後 O₂ 中、400~700 °C、2 時間の熱処理を行ってから上部電極を形成し、キャパシタの実効誘電率を評価した。図 3.3 に示すように、Ti や Ta の下部電極第 2 層が 10 nm と薄い場合は、実効誘電率はそれぞれ 450 °C や 400 °C を境に急激に低下する。一方、Ti の膜厚を 50 nm にすれば、誘電率の低下は 500 °C までは見られないが、550 °C 以上では同様に 100 以下に低下する。Ta の膜厚を 50 nm にすれば、誘電率の低下は 700 °C まで見られない。この時の下部電極の構造変化を XRD により調べた結果、Pt のシリサイド化温度とキャパシタの実効誘電率の低下温度が一致していることが示されている。図 3.4 に示すように、Pt(111)ピークの消失温度と PtSi(110)ピークの出現温度、及びキャパシタ全体の実効誘電率が急激に低下する温度は良い一致を示している。つまり、SrTiO₃ 成膜後のアニールによって誘電率が低下する原因も、SrTiO₃/Pt 界面に拡散してきた Si によって界面に SiO₂ を主成分とする低誘電率層が形成されるためであると考えられた。

したがって下部電極に要求される第 2 の特性としては、

- ②SrTiO₃ 成膜中、あるいはその後の熱処理中の高温雰囲気下においてシリコンの拡散を抑制し、SiO₂ 層の形成を防止する材料であること、

が挙げられる。現時点では、500 °C 以上の高いプロセス温度まで、前述の①と②を同時に満足する単一材料は見つかっておらず、下部電極は 2 層以上の多層構造とならざるを得ない。そして高誘電率 BST 薄膜に接する下部電極の上層には①の特性が、容量コンタクトポリシリコンと接する下部電極の下層には②の特性が求められている。

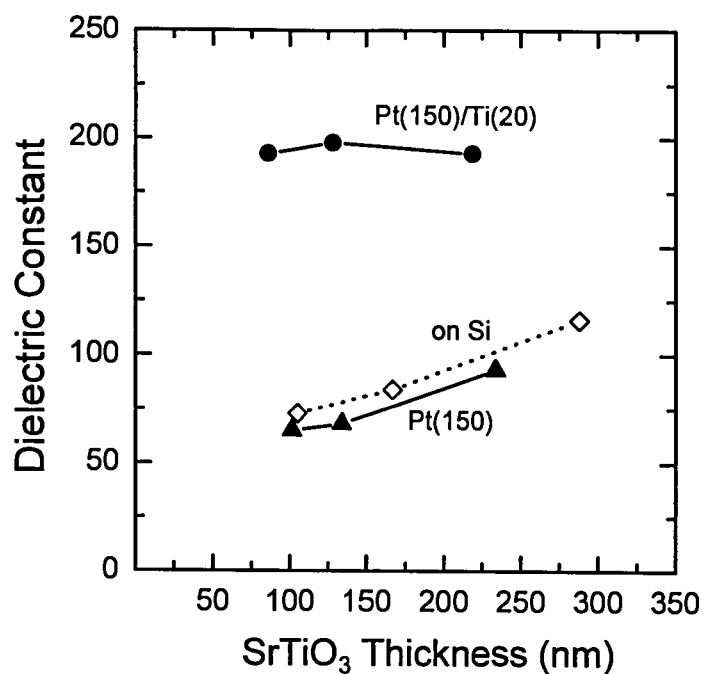


図 3.2 バリアメタルを用いた場合の SrTiO_3 膜キャパシタの実効誘電率の SrTiO_3 膜厚依存性

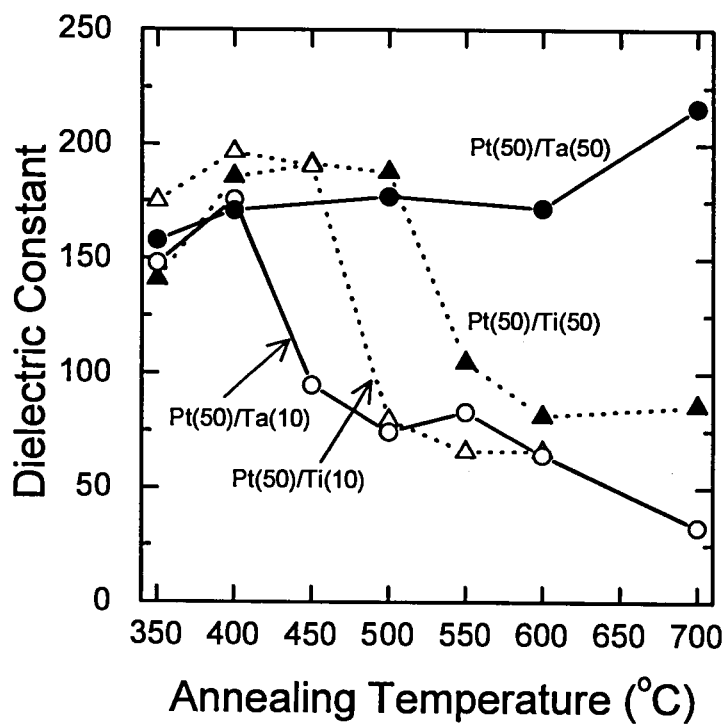
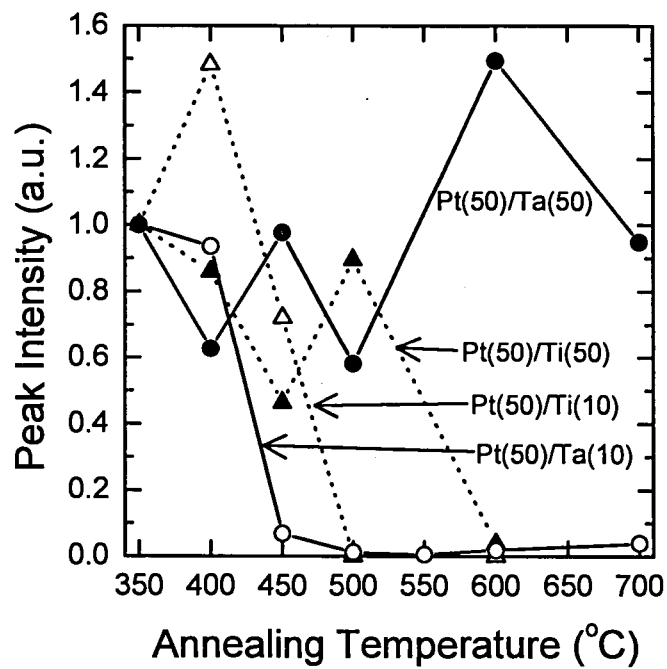
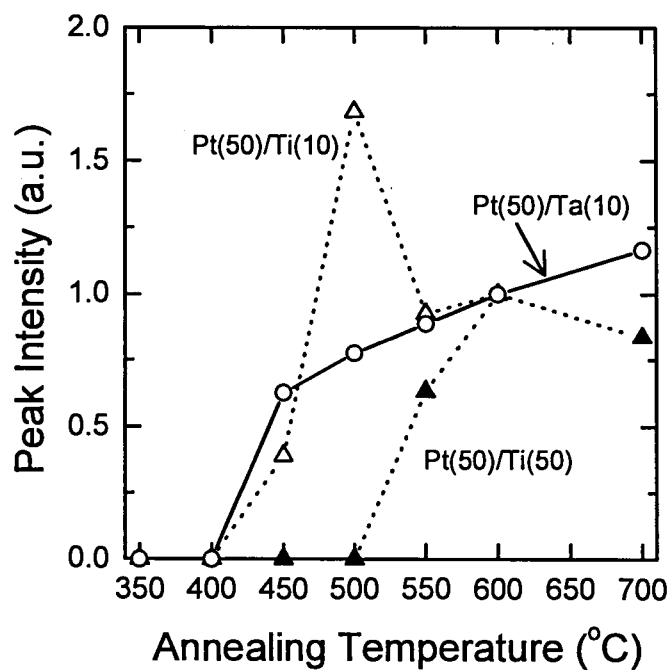


図 3.3 Pt/Ta と Pt/Ti バリアメタルを用いた場合の SrTiO_3 キャパシタの実効誘電率の後アニール温度依存性



(a) Pt(111)ピーク強度の変化



(b) PtSi(110)ピーク強度の変化

図 3.4 Pt/Ta と Pt/Ti バリアメタルを用いた SrTiO_3 キャパシタ
のアニール後の XRD ピーク強度の変化

3.2.3 Pt系下部電極の構造変化と組成分析

そこで本研究では、下部電極の構造変化を調べるために、断面 TEM 分析を用いて詳細な界面反応の評価を行った^[3]。表 3.3 に示すように、①Pt(150 nm)単層、②Pt(150 nm)/Ti(20 nm)、③Pt(50 nm)/Ta(50 nm)を用いた場合の SrTiO₃/下部電極/シリコン構造について、断面 TEM 分析と局所 EDX 分析を行った。SrTiO₃ 薄膜はいずれも基板温度 400 °C で作製されているが、その後のアニール温度は表 3.3 に示すように、各分析試料でそれぞれ異なっている。SrTiO₃ 膜厚は 130 nm で一定である。

断面 TEM と局所 EDX の分析については第 2 章で述べた表 2.2 の条件と同じである。ここで局所 EDX 分析の分析範囲はほぼ直径 1nm 程度であるが、以下の点に注意しなければいけない。

- ①Sr-L 線、Pt-M 線、Si-K 線、Ta-L 線のエネルギー位置が近接しているため、Si が含まれていないと思われるような部位にも Si が 5～8 atom% 程度含まれるように計算される場合がある。
- ②酸素に関しては定量性に問題があるため、構成元素には含めていない。組成比は金属元素のモル比とする。酸素については実際の EDX スペクトルにおける酸素ピークの有無により判断する。

まず Pt(150 nm)単層の場合について述べる。図 3.5 に示す断面 TEM 写真より、Pt 層と思われる層の膜厚は設計値の 150 nm の約 2 倍程度に増加していることがわかる。これは XRD 分析でも確認されたように、Pt が Si とシリサイド反応を起こし体積膨張したためであると考えられる。図 3.6 に SrTiO₃/Pt 界面の拡大図と局所 EDX の分析点、及び組成分析の結果を示す。SrTiO₃ 層内(●1)には Sr と Ti 以外の元素は見られない。SrTiO₃/Pt 界面に観察される白いコントラスト層内(●2、●3、●4)には Si が 40～50 % の割合で存在し、実際の EDX スペクトルにおいて酸素のピークも観察される。Pt 層と思われる部位(●5)にもかなりの割合で Si が観測される。以上の分析結果より、SrTiO₃/Pt 界面に観察される白いコントラスト層は、SiO₂ を主成分とする低誘電率層であると考えられる。さらに、図 3.5 ではこの白いコントラスト層と SrTiO₃ 結晶相の間に、Si 基板直上への成膜時に見られるような非晶質 SrTiO₃ 層^[11]も不均一な膜厚で観察される。

この界面 SiO₂ 層についてさらに詳しい分析を行った。図 3.5 において SiO₂ が主成分であると

思われる界面層の部位(●A 点)と、PtSi であると考えられる部位(●B 点)において、Electron Energy Loss Spectroscopy (EELS)分析を行った。これは試料に照射する電子線を絞り、透過した電子線のエネルギー損失スペクトルを測定することにより、試料元素の化学的状態を評価する手法である。その結果、図 3.7 に示すように、●A 点において、Si のピークが SiO_2 由来のエネルギー位置にわずかに観測された。つまり、●A 点を含む層内において Si と O は SiO_2 を形成していると考えられる。以上の結果より、Pt 単層を下部電極として用いたときの誘電率低下の原因は、XRD 分析より予想されたように、Pt のシリサイド化反応により SrTiO_3/Pt 界面まで拡散してきた Si が、 SrTiO_3/Pt 界面において低誘電率の SiO_2 層を形成するためであると結論づけられる。

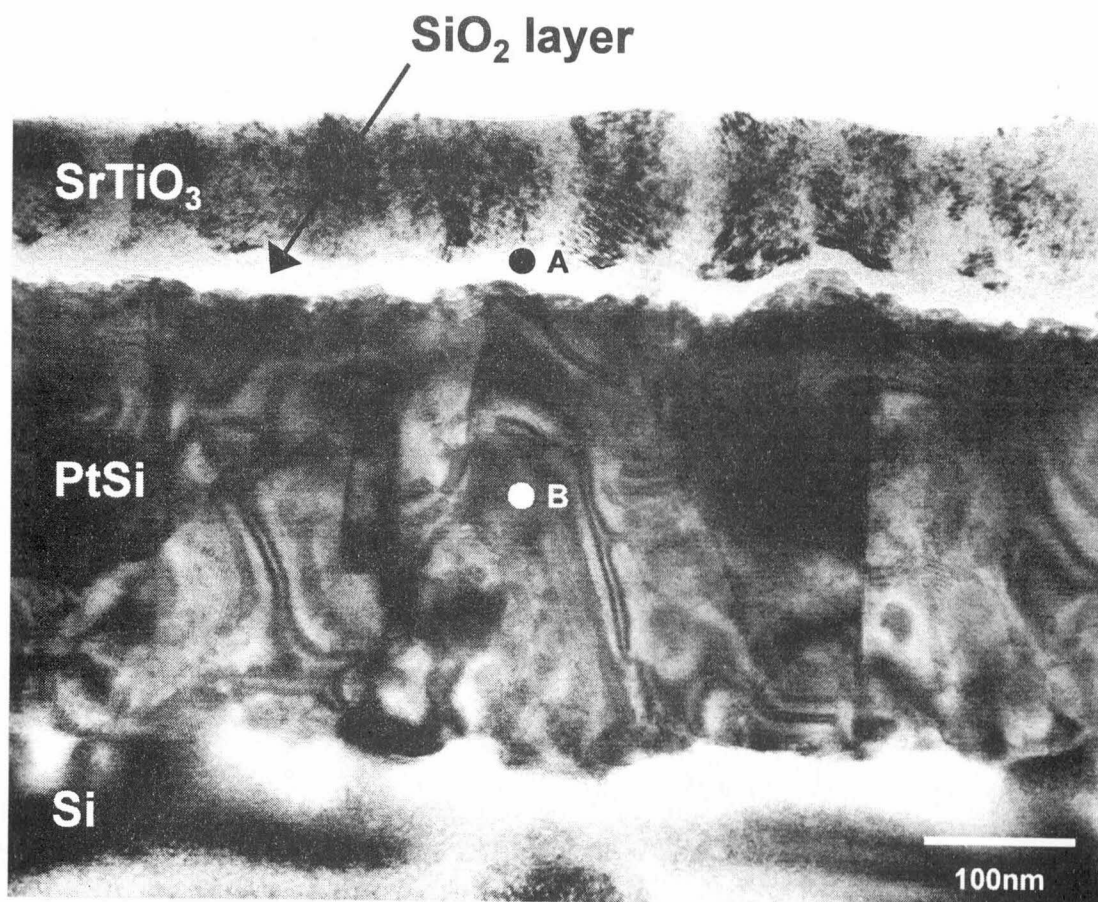
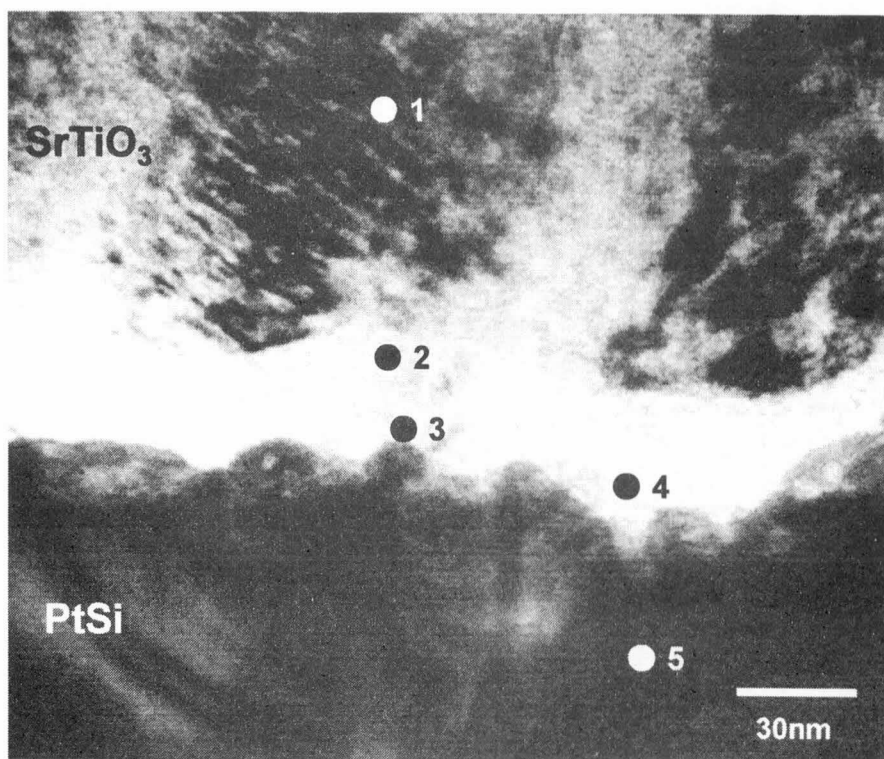
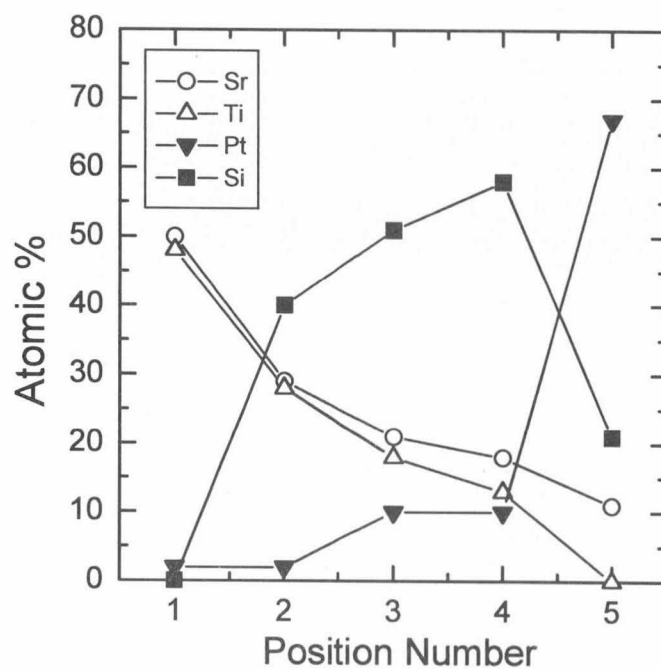


図 3.5 $\text{SrTiO}_3(130)/\text{Pt}(150)/\text{Si}$ 構造の断面 TEM 写真
(SrTiO_3 : 400 °C 成膜 as depo)



(a) SrTiO₃/Pt 界面の拡大図と分析点



(b) EDX による組成分析結果

図 3.6 SrTiO₃/Pt 界面の拡大図と分析点及び分析結果

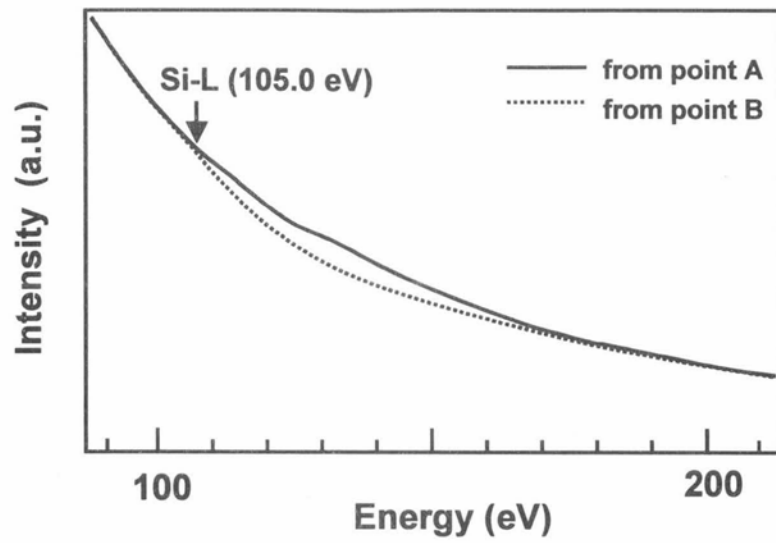


図 3.7 SrTiO₃/Pt 界面の低コントラスト部位からの EELS スペクトル

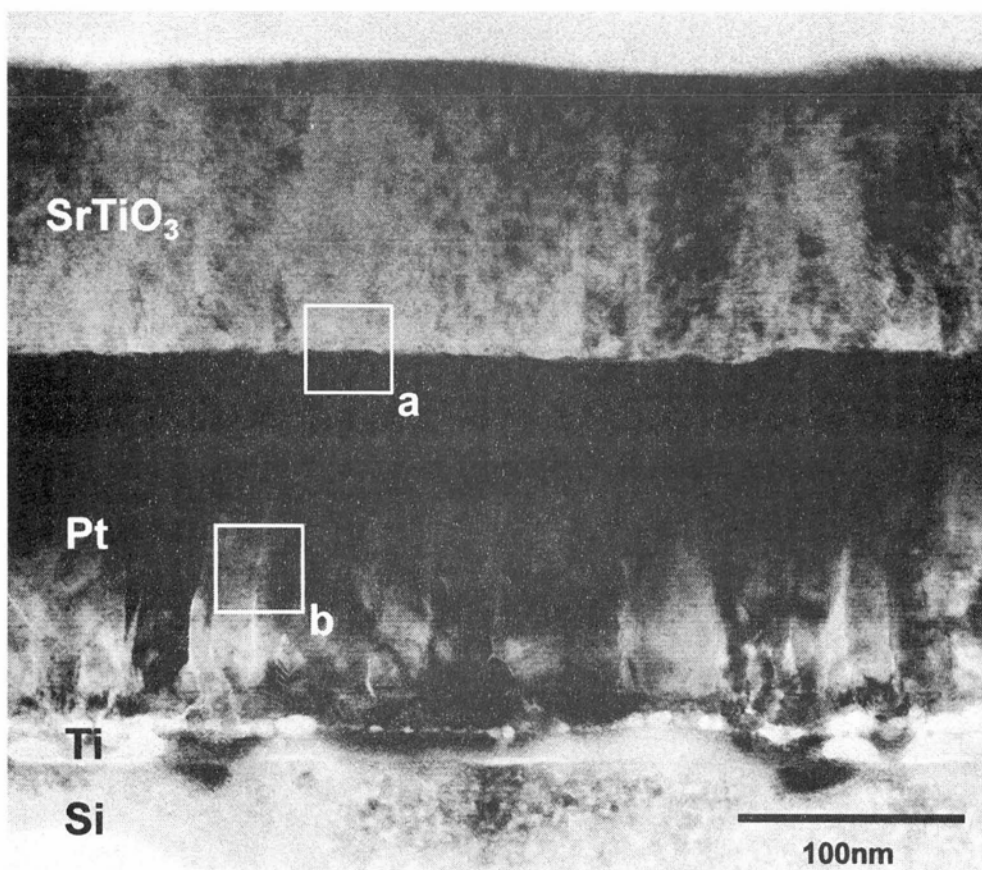


図 3.8 SrTiO₃(130)/Pt(150)/Ti(20)/Si 構造の断面 TEM 写真
(SrTiO₃ : 400 °C 成膜、450 °C アニール)

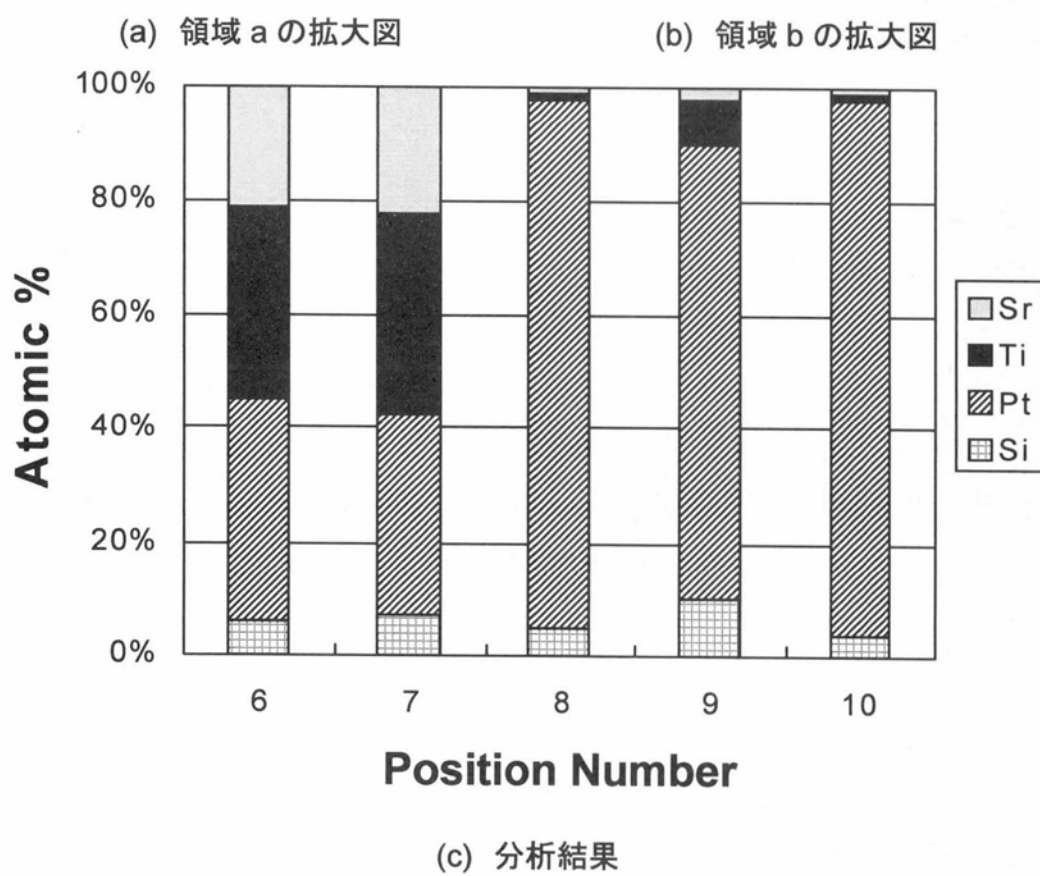
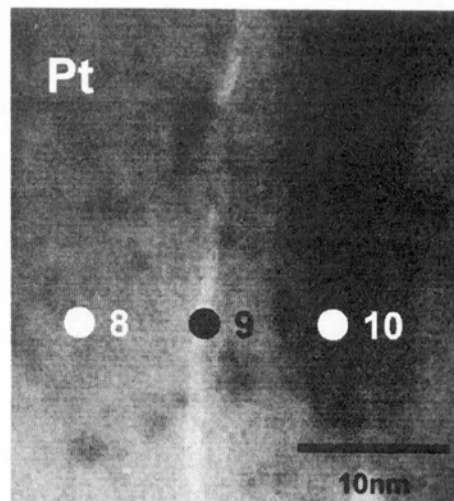
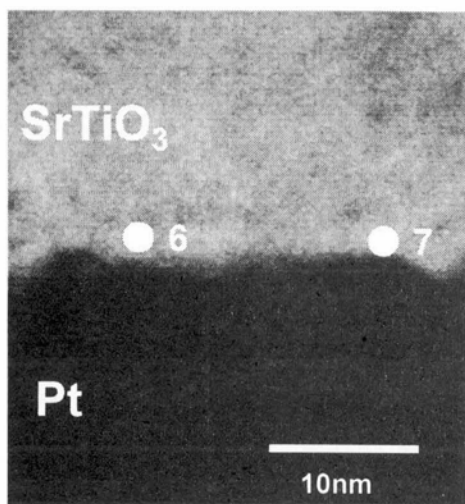


図 3.9 図 3.8 の領域 a と領域 b の拡大図と分析点及び分析結果

次に下部電極として Pt(150 nm)/Ti(20 nm)を用い、SrTiO₃成膜後に 450 °C アニールを行った試料の断面 TEM 写真を図 3.8 に示す。キャパシタ全体の実効誘電率は 170 と高い。図 3.8 より明らかなように、SrTiO₃は粒径 30~40nm 程度の柱状構造、Pt はグレインサイズが 20~30nm 程度の柱状構造となっている。Ti の膜厚が 20 nm と薄いため、わずかに基板の Si との反応も認められるが、全体的に層構造は保たれている。SrTiO₃/Pt 界面(領域 a)と Pt 層内(領域 b)の拡大図と分析点の位置、及び組成分析結果を図 3.9 に示す。図 3.9(a)より、SrTiO₃/Pt の界面では SrTiO₃と Pt がそれぞれ同程度に存在しており、顕著な界面拡散は起こっていない。Si も定量されているが、これは前述の注意事項にも述べたようにバックグラウンドである。図 3.9(b)の Pt 層内の分析結果からは興味深い事項が明らかとなった。Pt の柱状グレインのグレイン内部(●8、●10)にはほぼ Pt しか存在しないが、粒界には Ti の存在が示唆される結果となった。この Ti は SrTiO₃成膜中またはアニール時に Pt の粒界に沿って下層の Ti 膜から拡散してきたと思われる。Pt の粒界に沿って高融点金属が拡散する例は Sol-gel 法による PZT 系薄膜作製時にも報告されており、共通の現象であると言える。

下部電極として同じく Pt(150 nm)/Ti(20 nm)を用い、SrTiO₃成膜後に 700 °C アニールを行った試料の断面 TEM 写真を図 3.10 に示す。このキャパシタの実効誘電率は 38 と非常に小さい。断面構造においても、Pt 層内に白いコントラストの非晶質領域が多数観察され、下部電極に関しては全体的な層構造が保存されておらず、試料全体で相互拡散が起こっている様相を呈している。図 3.11 に示すように、Pt 層であったと思われる黒いコントラスト部(●13、●11)からは、Pt と Si が検出されたので、PtSi であることがわかる。また本来は Ti 層であったと思われる部位(●12)には Ti の存在が認められるものの、Pt や Si も多く見られ、PtSi と TiSi が混在していると思われる。PtSi 層上部にかなりの面積で見られる白いコントラスト部(●14)は、存在する金属元素のほとんどが Si である。SrTiO₃/Pt 界面(領域 c)と白いコントラスト部(領域 d)の拡大図と分析点の位置、及び分析結果を図 3.12 に示す。図 3.12(a)より、SrTiO₃直下の黒いコントラスト部(●15)は PtSi であり、その上に Si を主成分とする層(●16)と Si がかなり拡散した SrTiO₃層(●17)が存在することがわかる。キャパシタ全体の実効誘電率の低下は、図 3.5 と同様、この SrTiO₃/PtSi 界面の SiO₂層が原因であると言える。また図 3.12(b)より、PtSi 層の中に島状に見えるやや黒いコントラスト部(●18、●19)は PtSi が主成分であるが、白いコントラストの部位(●20、●21)は Si が主成分であり、SiO₂であると考えられる。

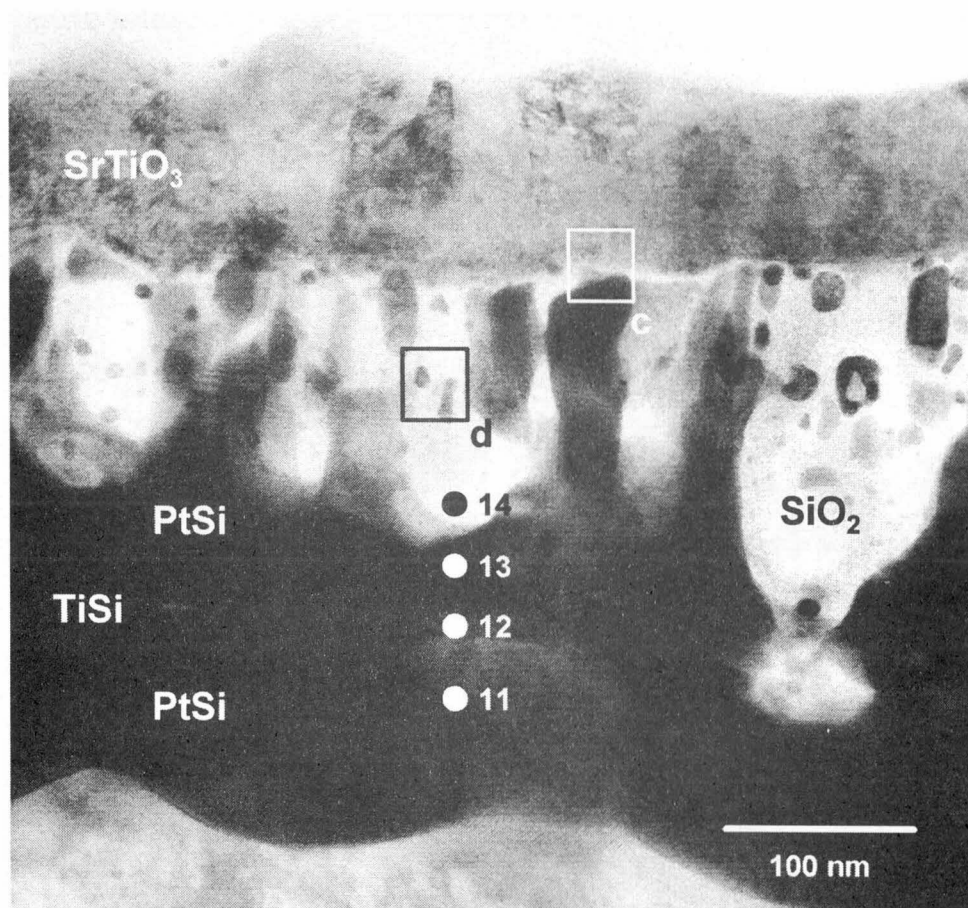


図 3.10 $\text{SrTiO}_3(130)/\text{Pt}(150)/\text{Ti}(20)/\text{Si}$ 構造の断面 TEM 写真
(SrTiO_3 : 400 °C 成膜、600 °C アニール)

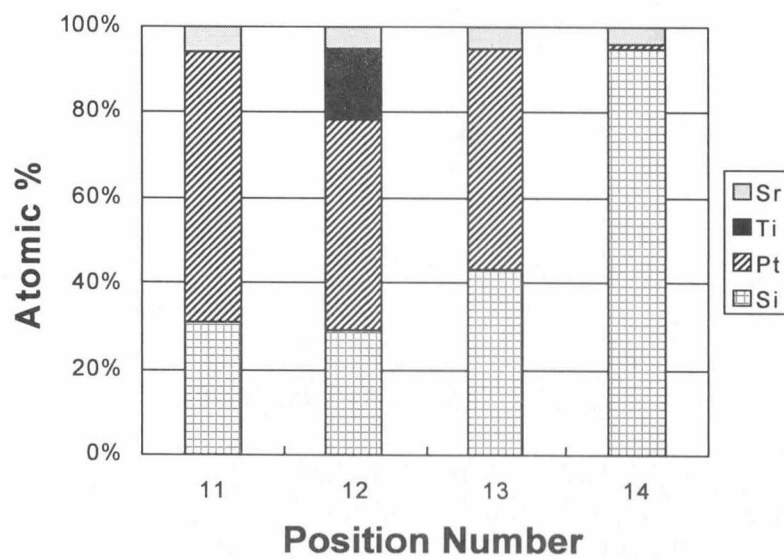
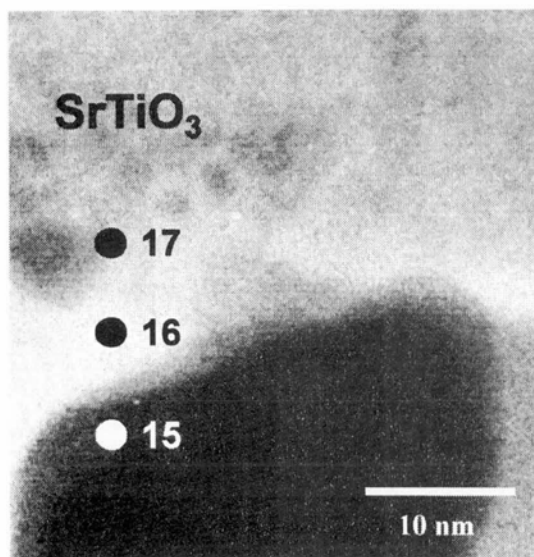
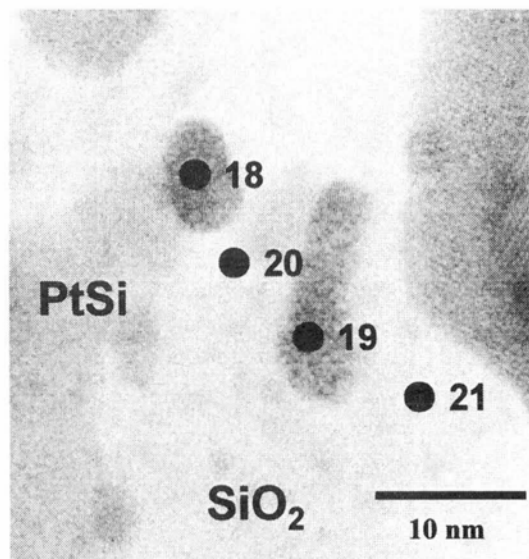


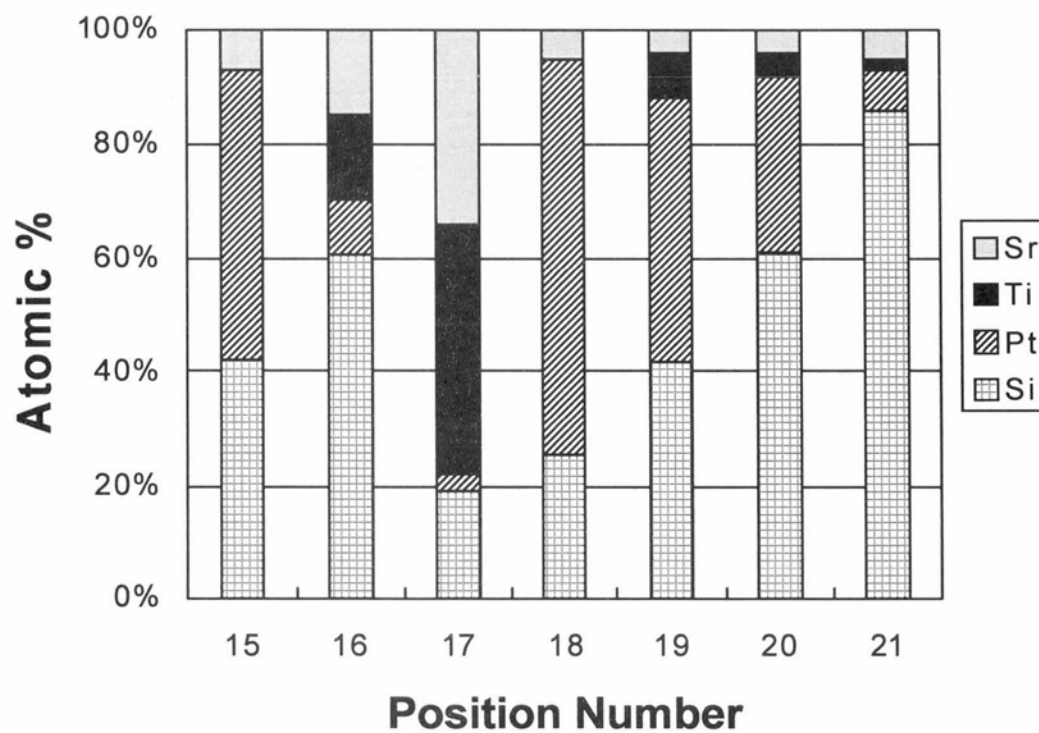
図 3.11 分析点 11~14 の組成分析結果



(a) 領域 c の拡大図



(b) 領域 d の拡大図



(c) 分析結果

図 3.12 図 3.10 の領域 c と領域 d の拡大図と分析点及び分析結果

次に、Pt(50 nm)/Ta(50 nm)下部電極を用い、SrTiO₃成膜後に 400 °C アニールを行った試料の断面 TEM 写真を図 3.13 に示す。このキャパシタでは 170 の高い実効誘電率が得られている。図 3.13 より、SrTiO₃、Pt、Ta の各層が明瞭に観察され、膜厚もほぼ設計値通りとなっていることがわかる。また図 3.13 中に示した分析位置の局所 EDX 分析から、図 3.14 に示すように各層において顕著な相互拡散は見られないことがわかる。ただし SrTiO₃/Pt 界面の分析位置(●23)には 5 %程度の Ta が検出された。SrTiO₃/Pt/Ta 部の拡大図と分析位置、及び組成分析結果を図 3.15 に示す。図 3.15(a)のほぼ最上部である SrTiO₃/Pt 界面(●29)と Pt の粒界(●30)に Ta の存在が認められる。Pt のグレイン内部には顕著な不純物は見られない。図 3.14 の分析位置●24 や●26 で Si が観察されなかったことから、図 3.15 の分析位置●30～32 の Si はバックグラウンドとして無視して良いと思われる。分析位置●29 や●30 における Ta は、図 3.9 でも述べたように、Pt の粒界に沿って上方に拡散して来たと考えられる。このような拡散は最終的には SrTiO₃/Pt 界面まで到達するものの、Pt の粒界近傍の局所的な部分に限られ、Ta の量も少ないために、低誘電率 TaO_x のような層を形成するには至っていないと言える。

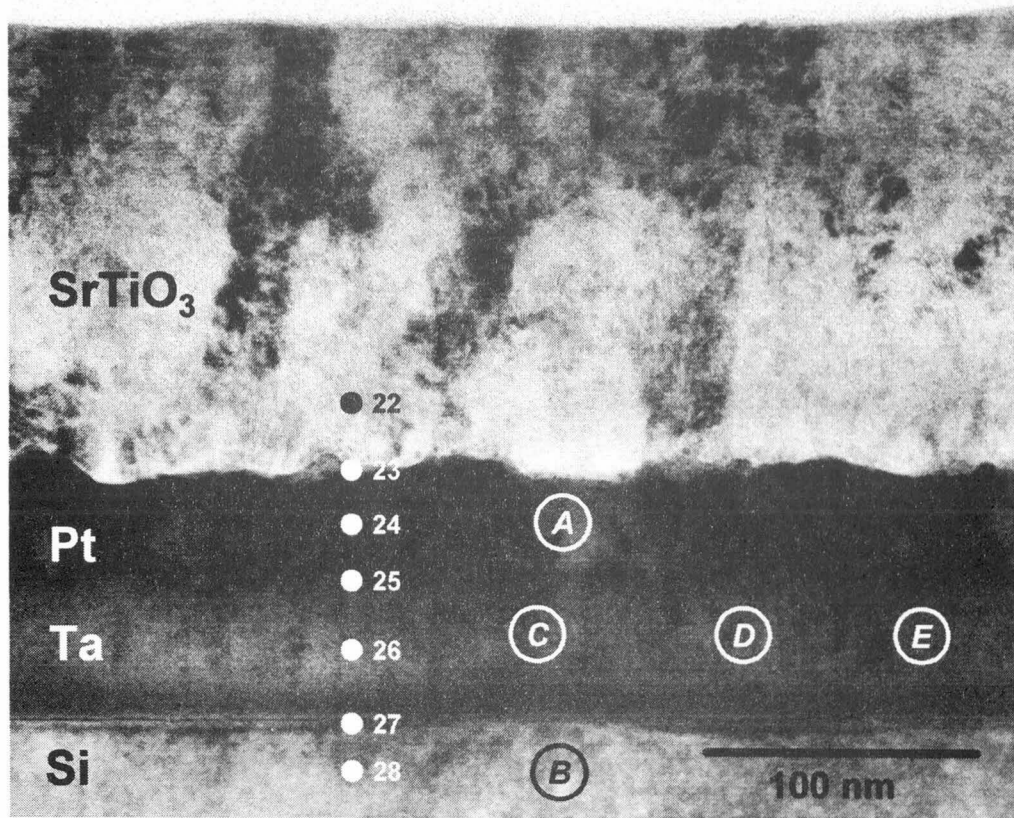


図 3.13 SrTiO₃(130)/Pt(50)/Ta(50)/Si 構造の断面 TEM 写真
(SrTiO₃ : 400 °C 成膜、400 °C アニール)

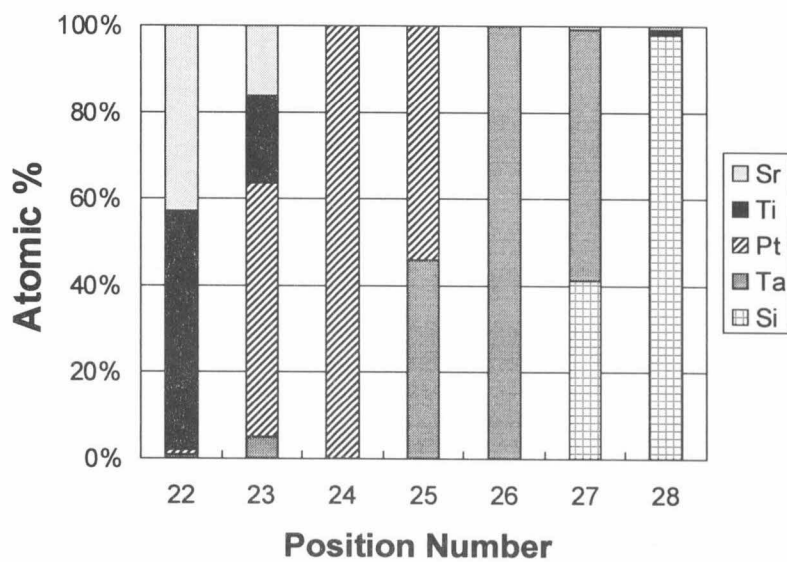
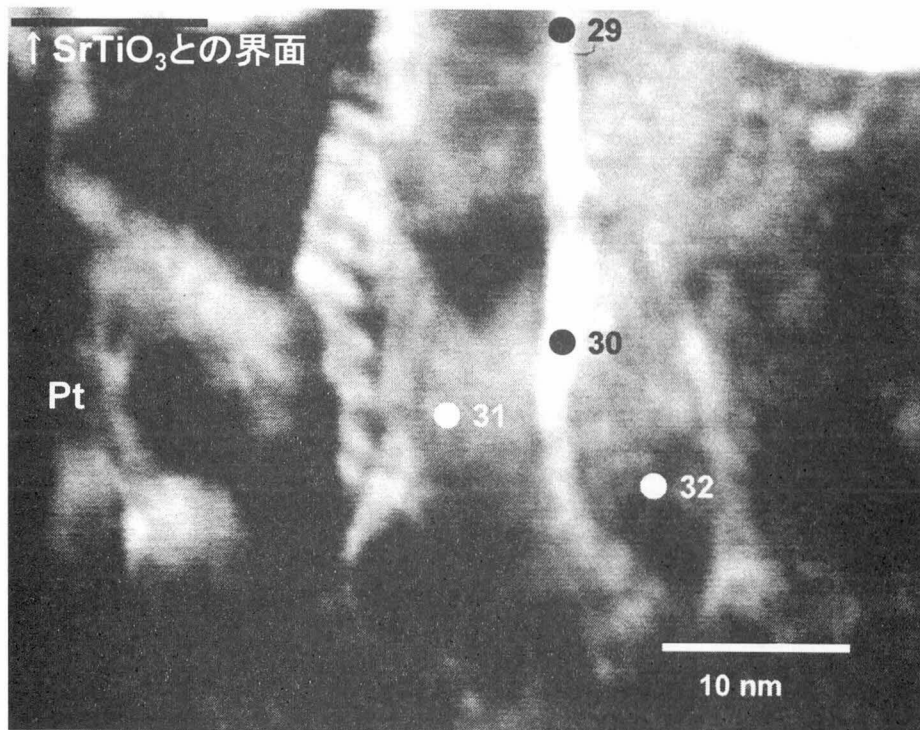
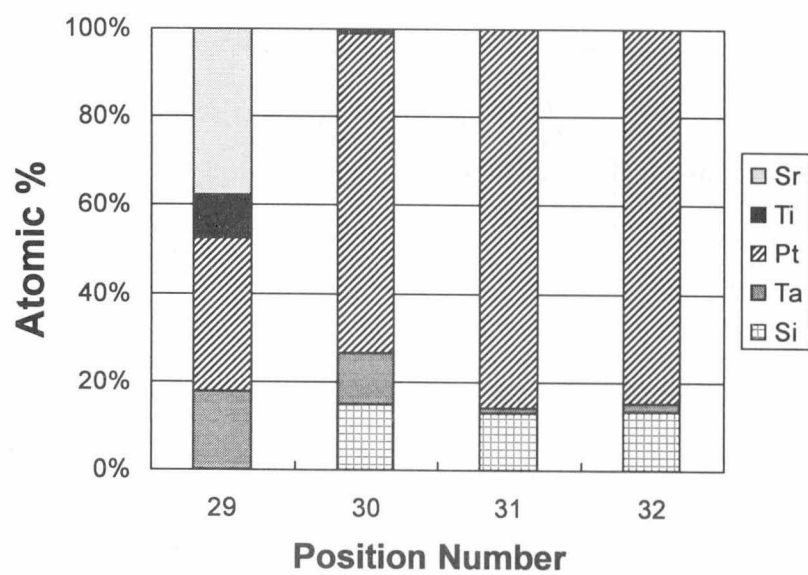


図 3.14 図 3.13 の各分析点における組成分析結果



(a) Pt/Ta 部の拡大図



(b) 分析結果

図 3.15 Pt/Ta 部の拡大図と分析点及び組成分析結果

一方、Pt(50 nm)/Ta(50 nm)下部電極を用い、SrTiO₃成膜後に 700 °C アニールを行った試料の断面 TEM 写真を図 3.16 に示す。このキャパシタにおいても 220 という高い実効誘電率が得られ SrTiO₃ や Pt 層には顕著な変化が見られない。しかし、Ta 層の膜厚が設計値のほぼ 2 倍となり、Si との界面に複雑な多層構造が観察される。図 3.16 に示した分析位置における組成分析の結果を図 3.17 に示す。Ta 層と思われる部位の黒いコントラスト部(●36)や白いコントラスト部(●37)、さらには Si との界面の複雑な 3 層構造の中で、Ta 層側から第 1 層(●38)と第 2 層(●39)には、全て金属元素としては Ta しか検出されなかった。したがって、基本的にはこれらの部位は Ta が主成分の層であり、Ta と Si の反応層(TaSi)ではないと言える。しかし、図 3.18 に示した分析点●37 における EDX スペクトルには酸素のピークが観察されるので、TaO_xとなっている可能性がある。

そこでアニール温度の異なる図 3.13 と図 3.16 の Ta 層に関し、画像処理装置(日本アビオニクス社製 EXCELL(II))を用いて TEM 写真の格子縞をデジタル・フーリエ変換し、回折像を求めて Ta 層の格子間隔を求めることを試みた。まず図 3.13 において Pt 薄膜と Si 基板の格子像がそれぞれ顕著に観察される領域 A と領域 B の回折像を図 3.19 に示す。各面間隔に対応する回折スポットが観察される。Si(111)の面間隔 0.314 nm を基準に TEM 分析時のカメラ長 L を求めると、

$$L = 1.7427 \quad [\text{nm} \cdot \text{cm}] \quad \cdots(3-1)$$

となる。回折像に対称的に出現する回折スポット間の距離 R [cm]を計測し、このカメラ長 L を用いて、以下の式により面間隔 d を算出することができる。

$$d = L / R \quad [\text{nm}] \quad \cdots(3-2)$$

この式により、Pt 薄膜からの回折スポットや Si 基板の他の回折スポットから面間隔を求めると、図 3.19 に示すように誤差範囲内で良く一致する結果が得られた。

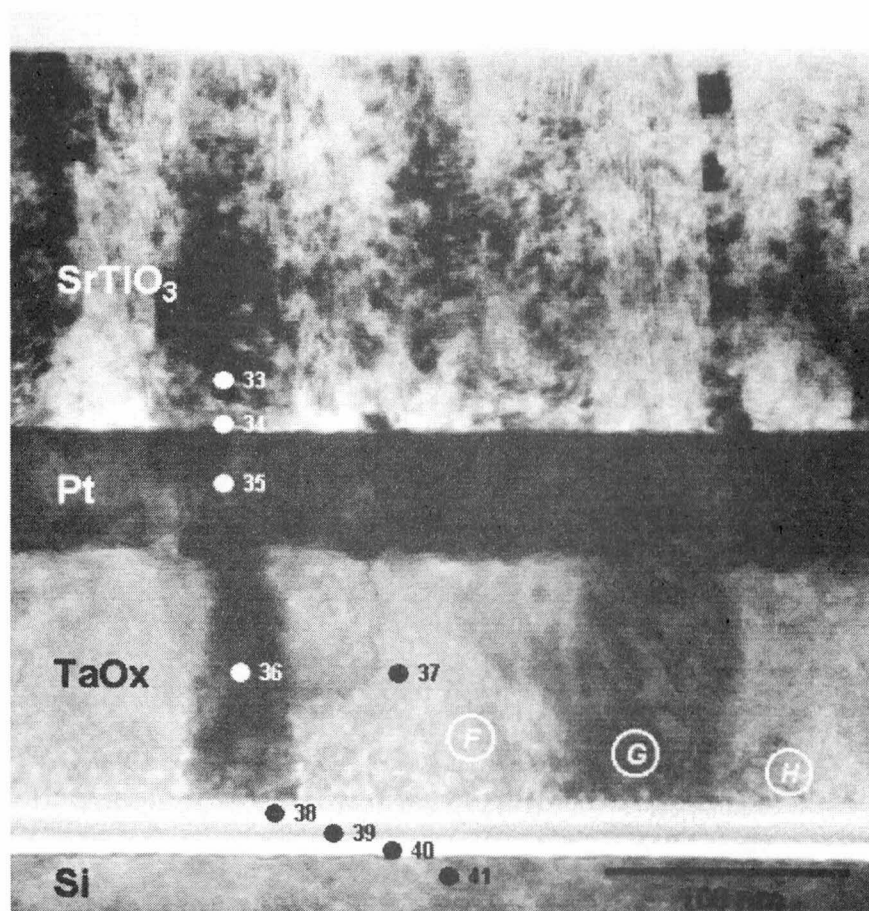


図 3.16 $\text{SrTiO}_3(130)/\text{Pt}(50)/\text{Ta}(50)/\text{Si}$ 構造の断面 TEM 写真
(SrTiO_3 : 400 °C 成膜、700 °C アニール)

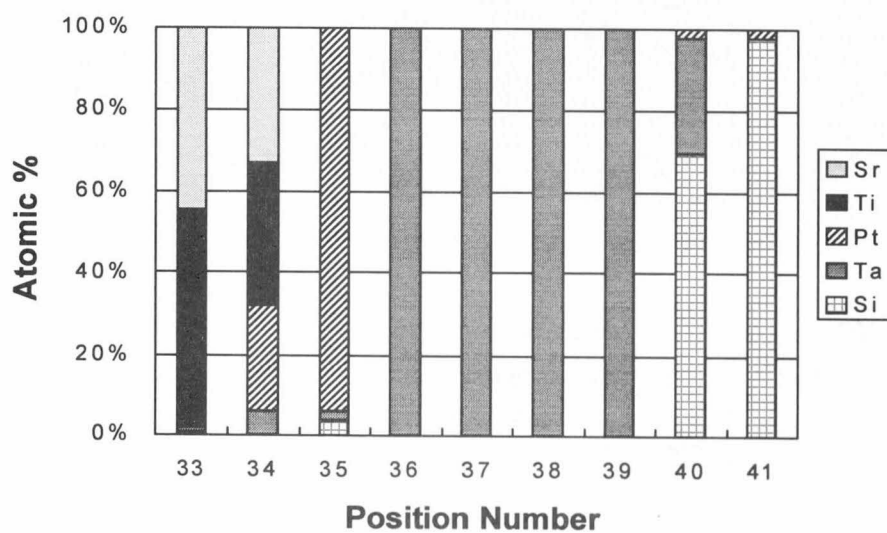


図 3.17 図 3.16 の各分析点における組成分析結果

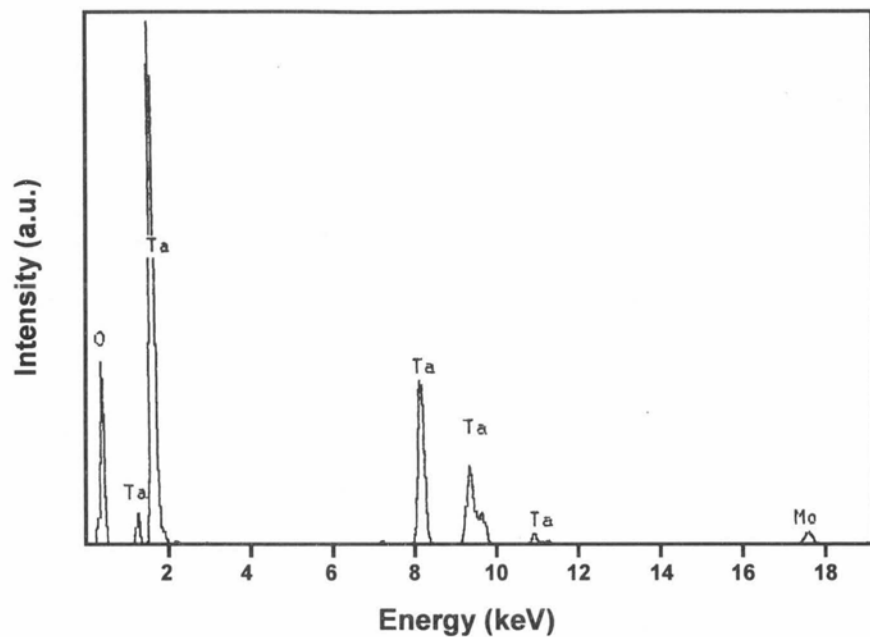
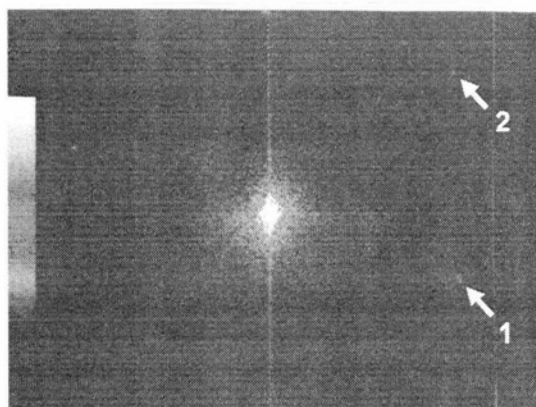
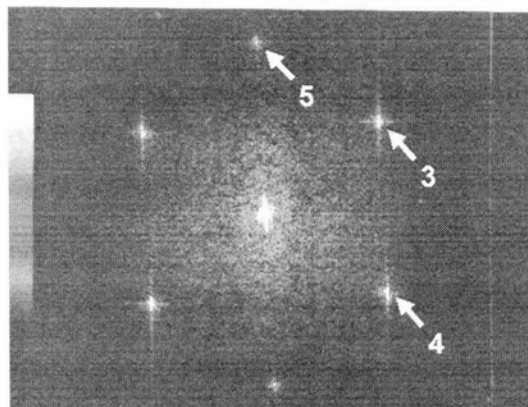


図 3.18 図 3.16 の点 37 における EDX スペクトル



Pt 膜(領域 A)からの回折像



Si 基板(領域 B)からの回折像

位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
1	0.2263	Pt(111)	0.2265
2	0.1954	Pt(200)	0.1962

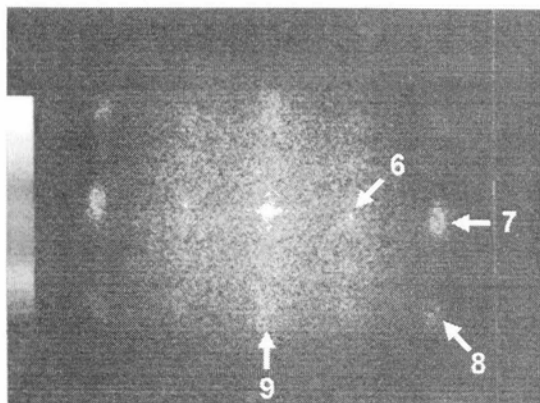
位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
3	0.314	Si(111)	0.3138
4	0.314	Si(111)	0.3138
5	0.270	Si(200)	0.2714

図 3.19 Pt 膜と Si 基板からの回折像と面間隔

SrTiO₃成膜後に400℃でアニールを行った試料(図3.13)におけるTa層の異なる3点(領域C、D、E)からの回折像を図3.20に示す。4回対称の回折スポットが観察され、各スポット間の距離から求めた面間隔は、3つの部位共に、正方晶 β -Ta金属の面間隔と良く一致した。したがって、400℃でのSrTiO₃成膜直後やアニール処理ではTa層は酸化することではなく、金属状態を保っていることが明らかとなった。本来、禁制反射である β -Ta(001)の回折が出現しているが、これはTa層が結晶学的に完全に規則的な構造となっていないことを示している。次にSrTiO₃成膜後に700℃でアニールを行った試料(図3.16)におけるTa層内の異なる3点(領域F、G、H)からの回折像を図3.21に示す。回折スポットは複雑な形状を示し、面間隔は1つの部位では β -Taに一致したが、他の2つの部位では β -Ta、TaO_x、TaSi_xのいずれにも完全に一致することはなかった。しかし絶縁性のTa₂O₅に一致することもなかった。したがって、このTa層は金属の β -TaとTaO_xの両方が混在した層になっていると推測される。TaとSiの反応層に関して言えば、TaとSiが同時に存在する部位は図3.16における分析点●40のみであり、Siの拡散は700℃アニール後も抑制されていると言える。

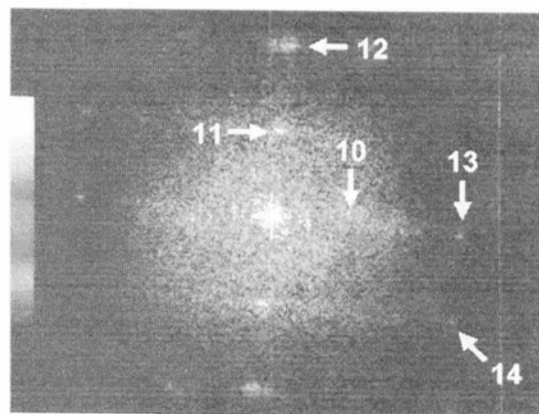
以上の結果より、Ta層は自らのシリサイド化反応が始まる前に、おそらくPtの粒界を通して上方から拡散してきたと思われる酸素と反応し、一部TaO_x層を形成すると推測される。そして結果的にPtのシリサイド化反応は起こらず、均一な低誘電率層が形成されないために、試料全体として高誘電率が保たれたと考えられる^[4]。このTa層の酸化は、実際にPt/Ta電極をサブミクロンオーダーに微細加工した際に、容量コンタクトプラグとの接触抵抗値を上昇させ、ビットオープンなどの不良を発生させる原因となる。したがって、今回のPt層に相当する下部電極上層には、酸素の拡散も抑制し、抵抗値の高い領域を作らないような機能も求められる。

以上をまとめると、Siと電氣的に導通状態を保持しながらSrTiO₃薄膜本来の高誘電率を実現するためには、キャパシタと下部電極の積層構造においてSiO₂などの低誘電率層を形成しない工夫が必要であり、PtをSrTiO₃と接する下部電極材料として用いる場合は、PtとSiの間にTiやTaなどの高融点金属を挿入すればよいことがわかった。このときSrTiO₃薄膜の作製時の基板温度や、堆積後の後熱処理温度の上限はTiやTaのシリサイド化反応の温度と、Pt層内の粒界を拡散する酸素によって引き起こされる酸化反応の温度によって決定される。つまりPtを第1層に用いた2層構造の下部電極では、このシリサイド化反応と酸化反応の競合状態が発生し、先に酸化反応が始まれば下部電極の高抵抗化を引き起こし、先にシリサイド反応が進行しシリコンが拡散した場合には、低誘電率SiO_x層が形成され、実効誘電率が低下することになる。



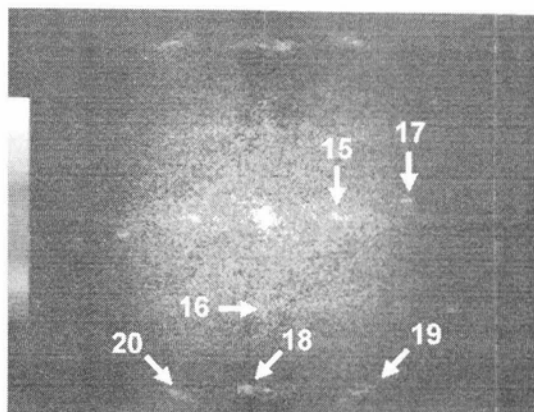
位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
6	0.553	β -Ta(001)	0.5313
7	0.274	β -Ta(002)	0.2658
8	0.237	β -Ta(202)	0.2354
9	0.380		該当なし

(a)領域 C



位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
10	0.591		該当なし
11	0.536	β -Ta(001)	0.5313
12	0.270	β -Ta(002)	0.2658
13	0.242	β -Ta(410)	0.2474
14	0.221	β -Ta(411)	0.2241

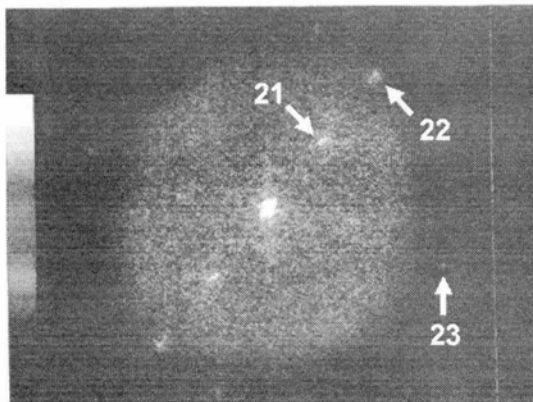
(b)領域 D



位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
15	0.660		該当なし
16	0.545	β -Ta(001)	0.5313
17	0.323	β -Ta(310)	0.322
18	0.268	β -Ta(002)	0.2658
19	0.232	β -Ta(202)	0.2354
20	0.223	β -Ta(411)	0.2241

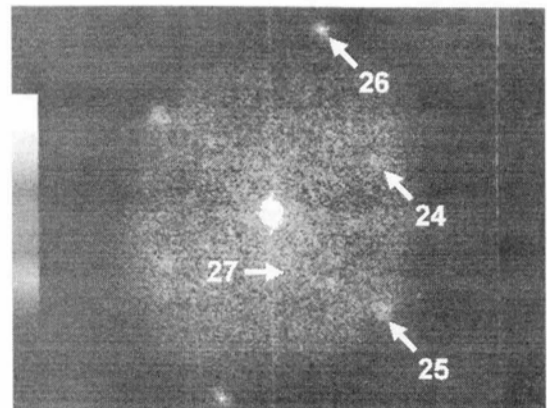
(C)領域 E

図 3.20 SrTiO_3 成膜、400 °C アニール後の Ta 層からの回折像と面間隔



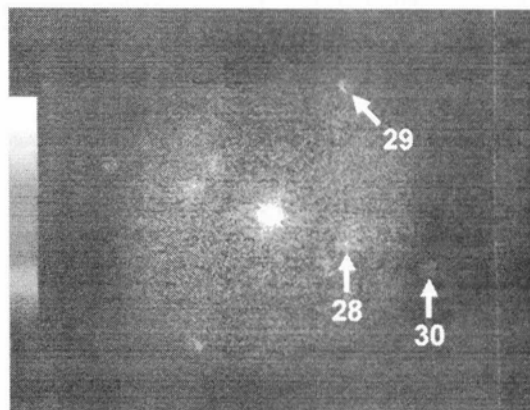
位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
21	0.536	β -Ta(001)	0.5313
22	0.267	β -Ta(002)	0.2658
23	0.247	β -Ta(410)	0.2474

(a)領域 F



位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
24	0.401	(TaOx)	該当なし
25	0.311	(TaOx)	該当なし
26	0.242	(TaOx)	該当なし
27	0.990	(TaOx)	該当なし

(b)領域 G



位置	面間隔 測定値(nm)	面	面間隔 文献値(nm)
28	0.545	(TaOx)	該当なし
29	0.311	(TaOx)	該当なし
30	0.272	(TaOx)	該当なし

(c)領域 H

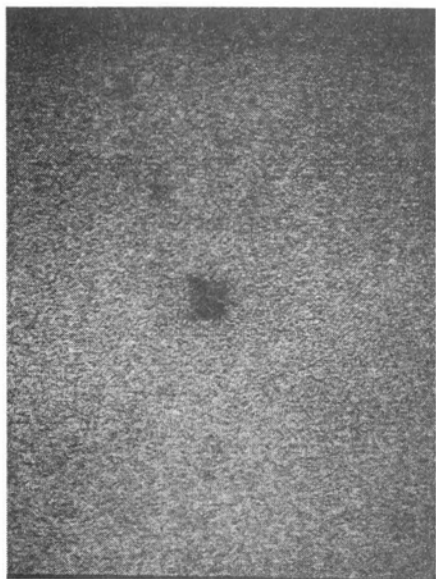
図 3.21 SrTiO₃ 成膜、700 °C アニール後の Ta 層からの回折像と面間隔

3.2.4 Pt/Ta の表面モフォロジーの変化と内部応力

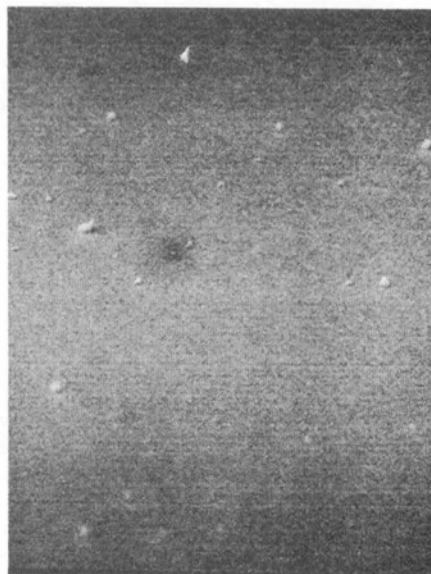
一般に、Pt 薄膜は熱処理によってヒロックを形成しやすいことが報告されているが、SrTiO₃ 薄膜の下部電極として有効な Pt/Ta 積層構造においても、Pt の膜厚やアニール条件によりヒロックが発生する。ここではアニール温度を変化させて Pt/Ta 表面のモフォロジーの変化を観察した結果について述べる。Si 基板上にまず膜厚 50 nm の Ta を成膜し、その上に Pt を成膜した。Pt の膜厚はモフォロジーの変化を観察しやすくするために 200 nm と厚くしている。この Pt/Ta/Si 構造に対し、SrTiO₃ 薄膜の作製を模したプロセスとして電気炉における O₂ 中のアニールを施した。また Si 基板とのシリサイド反応とヒロック形成の相互関係を調べるために、レファレンスとして R 面サファイア上に Pt(500 nm) 薄膜のみを作製した試料も準備し、O₂ 中、600 °C のアニールを行った。

図 3.22 に as depo 及び 450、500、600 °C でアニールした Pt(200 nm)/Ta(50 nm)/Si の表面 SEM 写真を示す。図 3.23 に as depo と 600 °C アニール後の AFM による観察結果を示す。as depo では Pt の表面は平坦であり、AFM より求めた粒径は約 30 nm である。しかし図 3.22 に示すように、450 °C のアニールによって粒状の突起物がわずかに観察されはじめ、アニール温度が 500 °C、600 °C と上昇するのに伴い、突起物の大きさと密度が増加する。600 °C アニール後の試料の断面 SEM 写真を図 3.24 に示す。突起物は典型的な Pt のヒロックであり、Pt と Ta、Ta と Si の顕著な相互拡散は SEM 写真からは認められない。図 3.25 にアニール温度に対するヒロックの発生密度を示す。600 °C では大小合わせて 1 μm^2 当たり 4 個もの密度でヒロックが発生している。これらのヒロックの発生は Pt の膜厚に大きく依存しており、Pt 膜厚を 50 nm まで薄くすると、後述のようにヒロックはほとんど観察されない。

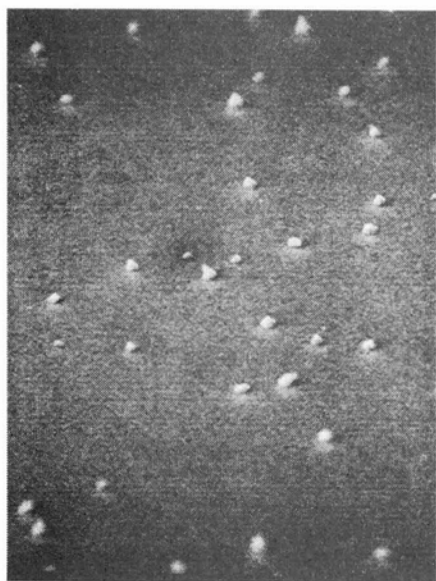
図 3.26 に示すように、レファレンス試料である Pt(500 nm)/サファイア構造においても、600 °C アニール後に巨大なヒロックが観察される。このヒロックの高さは Pt の膜厚よりも大きい。Pt/Ta/Si 構造と Pt/サファイア構造の両方でヒロックが観察されたことから、これらのヒロックは Pt と Si の反応が原因となって形成されるのではなく、アニール時の Pt 薄膜と基板との熱膨張係数の差や、成膜直後に Pt 薄膜中に存在する内部応力が原因であると推定される。



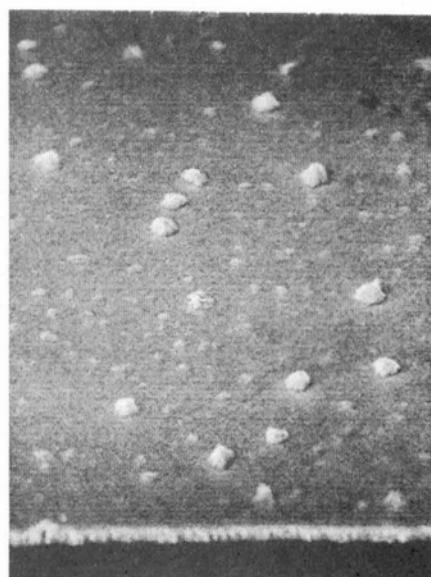
(a) as depo



(b) 450 °C annealed



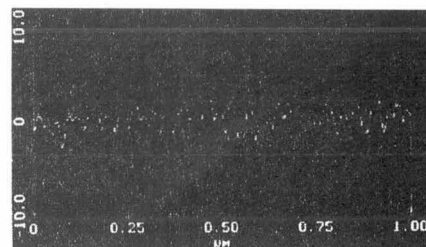
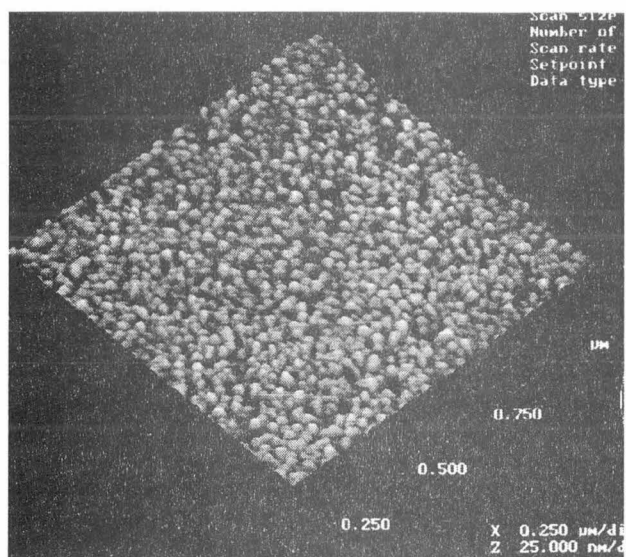
(c) 500 °C annealed



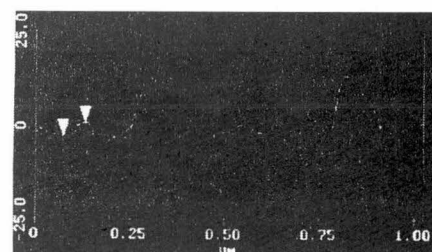
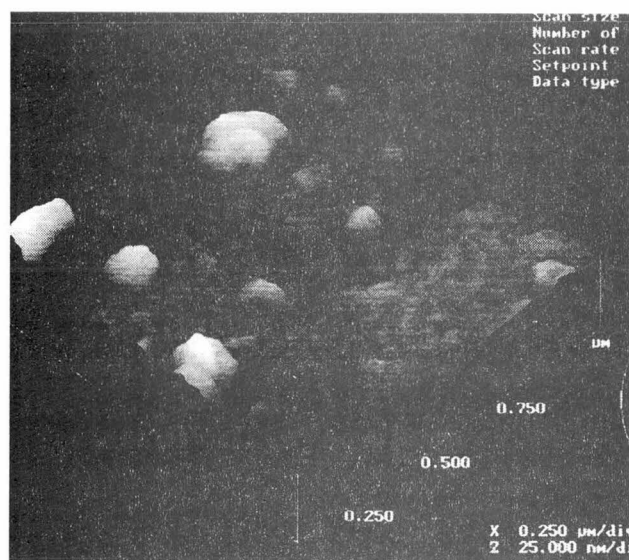
(d) 600 °C annealed

3 μm

図 3.22 Pt(200)/Ta(50)/Si 構造のアニール後の表面モフォロジー



(a) as depo



(b) 600 °C アニール後

図 3.23 Pt(200)/Ta(50)/Si 構造のアニール後の表面 AFM 像

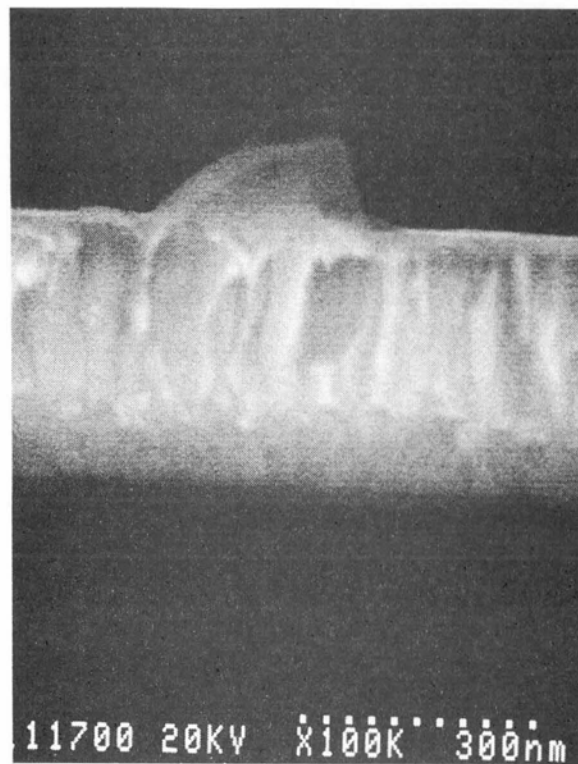


図 3.24 Pt(200)/Ta(50)/Si 構造の 600 °C アニール後の
ヒロックの断面 SEM 写真

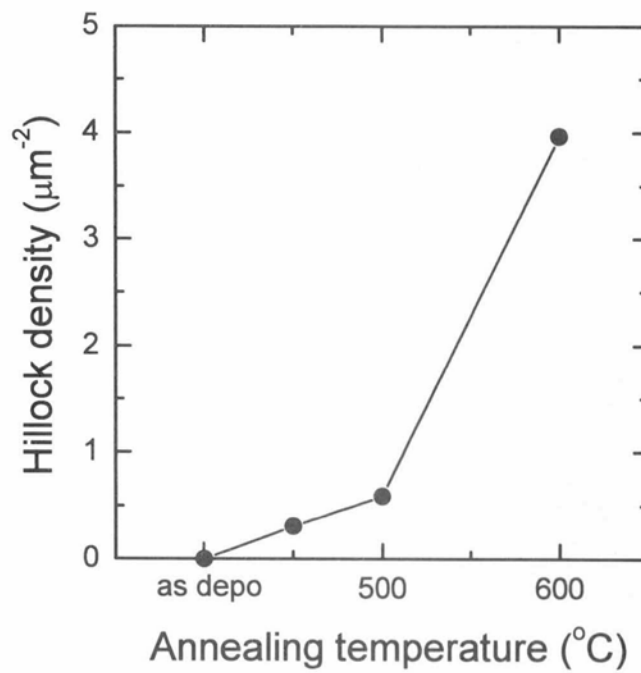


図 3.25 Pt(200)/Ta(50)/Si 構造のヒロック密度とアニール温度の関係

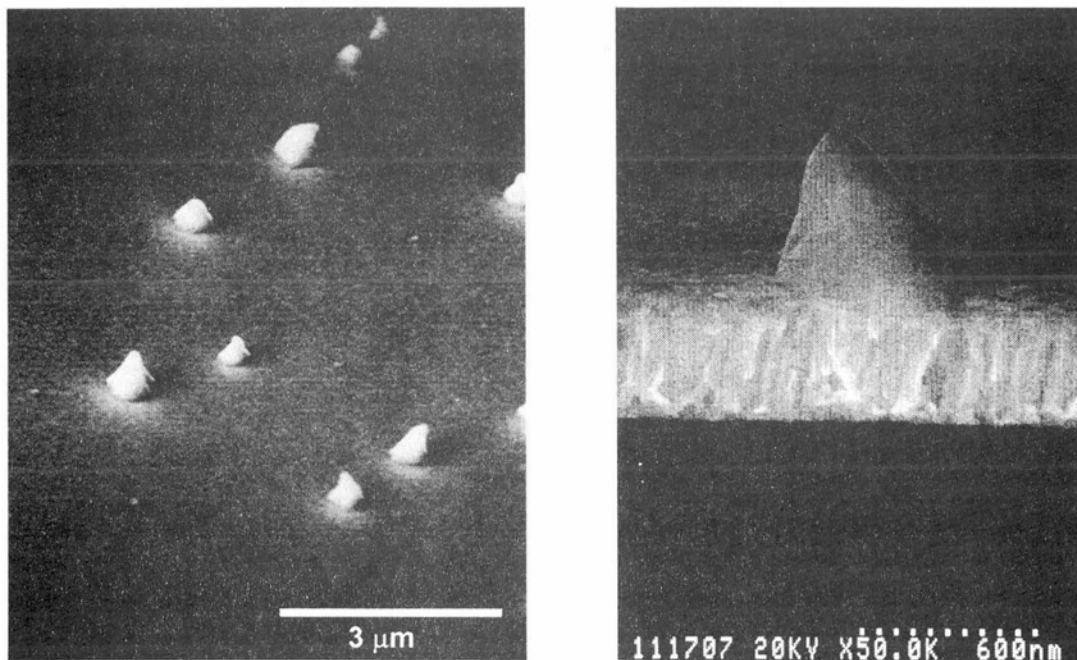


図 3.26 Pt(500)/Al₂O₃(01·2)構造の 600 °C アニール後におけるヒロック

そこで Pt(50 nm)/Ta(50 nm)/Si 構造において基板のそり量から内部応力を求めた。測定方法の概念図を図 3.27 に示す。レーザ光をミラーで反射して試料表面に照射し、ミラーを走査させながら反射光量最大の位置を検出器で求め、試料表面のそり量から曲率半径を求める。曲率半径 R とそり量 δ の間には以下の関係式が成り立つ^[5]。

$$R \approx \frac{w^2}{2 \times \delta} \quad \dots(3-3)$$

ただし w はそりを測定した長さである。応力を正確に求めるためには、基板そのものにも初期のそりがあるため、膜を基板に堆積した後の曲率半径のみを用いても不十分である。膜を堆積する前の基板の初期の曲率半径を R_0 、薄膜堆積後の曲率半径を R_1 とすると、薄膜の応力によって生じた実際の曲率半径 R は、

$$\frac{1}{R} = \frac{1}{R_1} - \frac{1}{R_2} \quad \cdots(3-4)$$

で求められる。ここから薄膜の内部応力 σ は以下の関係式から求めることができる^[6]。

$$\sigma = \frac{E}{1-\nu} \times \frac{h^2}{6 \times R \times t} \quad \cdots(3-5)$$

ただし、E は基板のヤング率、 ν は基板のポアソン比、h は基板の厚さ、t は薄膜の膜厚、である。

Si 基板上に Pt(50 nm)/Ta(50 nm)膜を作製したときの基板のそりの変化を図 3.28 に点線(基板のみ)と波線(Pt/Ta 成膜後)で示す。Si 基板自身は下に凸のそりを有しているが、Pt/Ta 成膜後は上に凸となる。Si(100)基板の場合、

$$\frac{E}{1-\nu} = 1.805 \times 10^{12} [\text{dyne/cm}^2] = 1.805 \times 10^{11} [\text{N/m}^2] \quad \cdots(3-6)$$

であるので、これを用いて Pt/Ta 薄膜の内部応力を計算すると、

$$\sigma = -1.2 \times 10^{10} [\text{dyne/cm}^2] = -1.2 \times 10^9 [\text{N/m}^2] \quad \cdots(3-7)$$

もの大きな圧縮応力となった。つまり Pt/Ta 成膜直後は Pt に強い圧縮応力が働いている。次にこの Pt/Ta/Si 構造を O₂ 中、600°C、1 時間のアニールを施した後、そり量を測定した結果を図 3.28 に実線で示す。アニールにより基板は再び下に凸となり、Si 基板の初期のそり量よりも大きくなる。アニール後の内部応力は、

$$\sigma = +6.3 \times 10^9 [\text{dyne/cm}^2] = +6.3 \times 10^8 [\text{N/m}^2] \quad \cdots(3-8)$$

となり、Pt/Ta 薄膜には引っ張り応力が働いていることがわかる。つまりアニールの前後において内部応力の方向が逆転する。このことは次のように説明することができる。アニールの昇温時に線膨

張係数が Si より大きな Pt/Ta 薄膜は、膨張しようとして圧縮応力がさらに増大する。しかし Si 基板の厚さが圧倒的に大きいため膨張は飽和し、膜に垂直な方向に応力が働く。もし Pt の膜厚が大きい場合は、膜厚に垂直な応力も大きくなってヒロックを形成する。膜厚が 50 nm と小さい場合は、何らかの欠陥等を形成することによって応力緩和が起こると推測される。アニールが終了し室温まで冷却した後は引っ張り応力となっていることから、アニール中のヒロックの発生や応力緩和、さらには Pt 膜の再結晶化による格子の縮みなどにより、平坦部の体積は昇温前よりも小さくなっているのではないかと考えられる。

定性的には上記の説明でよいと思われるが、ヒロックの形成は単純に内部応力の変化だけで説明することはできない。例えば Pt よりも線膨張係数の大きな Pd を用いた場合でも、サファイア基板上 600°C の O₂ アニールではヒロックは全く見られないことも確認している。材料によってヒロックの形成しやすさが異なっていることから、詳細なメカニズムに関してはさらに検討が必要であると思われる。

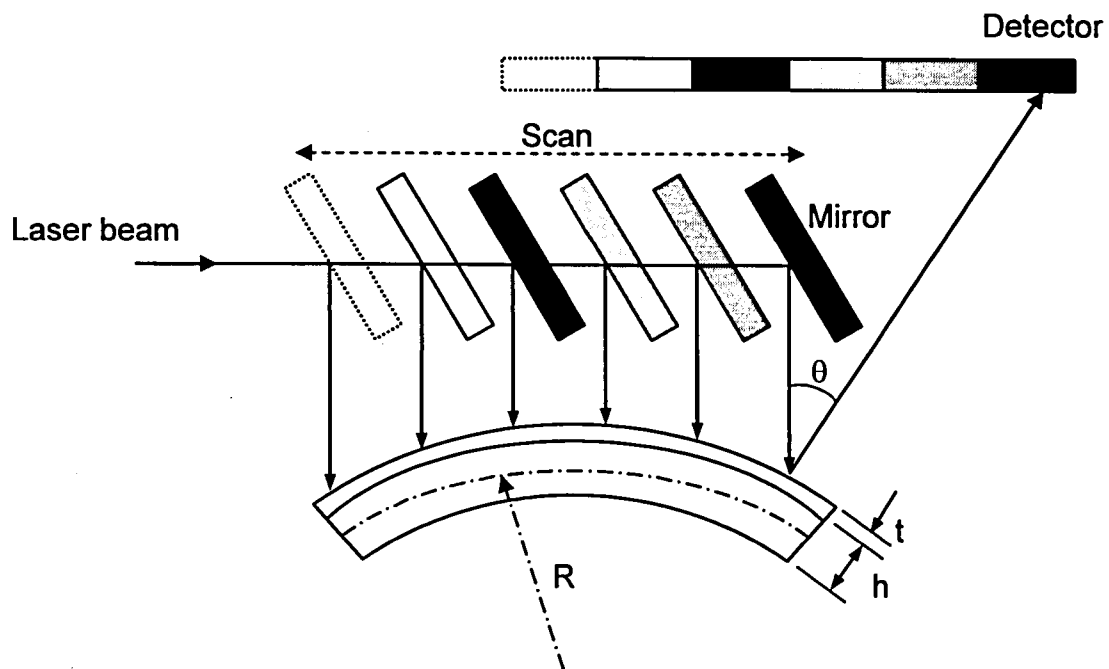


図 3.27 応力の測定方法

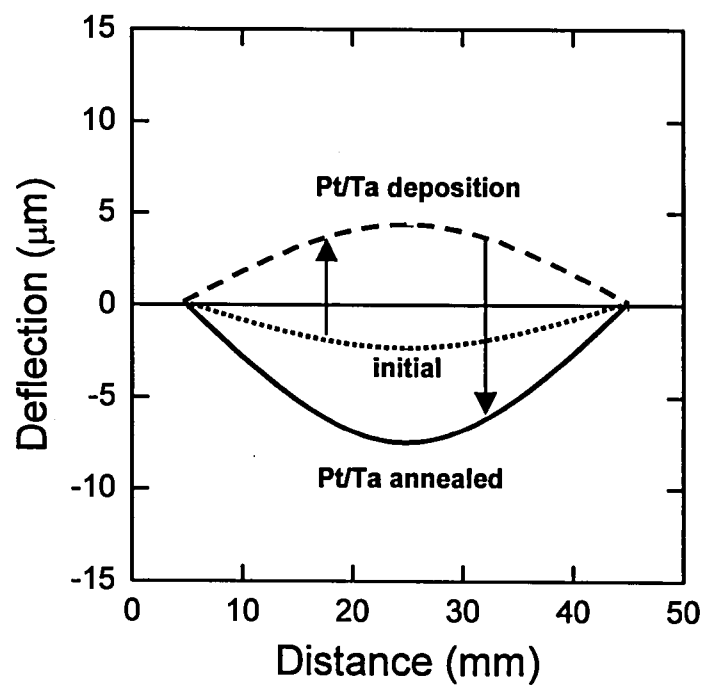


図 3.28 Pt/Ta/Si 構造を作製する際の
基板のそり量の変化

3.3 平坦型キャパシタの作製プロセスの開発とその誘電特性

3.3.1 キャパシタ作製プロセス

加工されていない理想的な下部電極上で得られた SrTiO_3 薄膜の特性が、実際の微細なキャパシタアレイで実現できるかどうかを確認するために、下部電極の上面のみを利用する平坦型のキャパシタアレイを作製しその特性を評価した。ここで言う平坦型とは、シリンダ型やフィン型のような複雑な構造に比べて、キャパシタの高さが各電極膜と誘電体膜の厚さのみとなる段差の小さな構造を指す。図 3.29 に今回作製したキャパシタアレイのプロセスフローを示す。基板には P をドーブした低抵抗 Si を用い、まず Si 表面を熱酸化して 300 nm 程度の SiO_2 層間絶縁膜を形成する。次にこの層間絶縁膜の所望の位置に、0.8 μm 径の容量コンタクトをドライエッチングにより開口する。次にこの容量コンタクトを十分埋め込む厚さまで poly-Si を減圧 CVD 法により成膜する。不純物である P を熱拡散し低抵抗化したのち、容量コンタクトホール内にはのみ poly-Si が残るようにエッチバックする。本研究で特徴的であるのは、この poly-Si のエッチバックプロセスに化学機械研磨法(CMP)を用いたことである。CMP の条件を表 3.5 に示す^[7]。一般には反応性ドライエッチング(RIE)によりエッチバックする方法がよく用いられるが、RIE を用いた場合、poly-Si のプラグ内での窪みや表面の微細凹凸のために、IBS 法やスパッタ法などの物理的成膜手法により作製した SrTiO_3 薄膜において、段切れやクラックを生じることがわかった。これは RIE において、poly-Si の被エッチング面積がウエハ全面から容量コンタクトホールの中にのみに小さくなった瞬間に、エッチング速度が急激に増加するマイクロローディング効果により、平坦なコンタクトプラグを形成することが難しいためである。図 3.30 に容量コンタクトの開口後と、CMP によるエッチバック後、及びコンタクトプラグの形状確認のために層間絶縁膜を全面エッチバック除去した後の SEM 写真を示す。CMP によるエッチバックにより、poly-Si 表面はわずかに下に凸となり、層間絶縁膜表面よりコンタクトホール内に下がっているが、RIE と比べてはるかになめらかで平坦な形状を有していることがわかった。形状確認のために層間絶縁膜を全面エッチバックした後の SEM 写真から、多数の容量ポリシリコンタクトがほぼ理想的な円柱形で形成されていることが確認される。図 3.31 に複数の容量ポリシリコンタクトの断面 SEM 写真を示す。プラグ内での poly-Si の窪みは中央部で 20~30 nm 程度であって、非常に小さいことがわかる。

図 3.29 のプロセスフロー図に戻ってその後のプロセスを説明する。層間絶縁膜内に poly-Si コンタクトが埋設された上に、下部電極として Pt(50 nm)/Ta(50 nm)を DC スパッタ法により基板温度

室温にて成膜する。そしてキャパシタアレイの1ビットとなる形状にこのPt/Ta電極を加工する。ここで、一般にPtなどの貴金属は化学的に安定であるため、反応性ドライエッチングが難しい。今回はエッチングガスにHBrやCl₂を用い、高密度のECRプラズマによってエッチングガスを活性化する方法を用いた^[8]。基板にRFバイアスを印加しながらエッチングを行うが、このような高密度プラズマ雰囲気下においても、Ptまたはその塩化物の蒸気圧が小さいため、実際のエッチングはイオンミリングのように物理的にたたき出す割合が多いと思われる。したがって、Pt/Taエッチング後にはレジスト側面に残さ物が厚く堆積する。この付着物は分析の結果主にPtやTaのハロゲン化合物であることがわかった。この側壁付着物が堆積した様子を図3.32(a)に示す。

この状態でレジストをアッシング除去すると、図3.32(b)に示すように、王冠状に側壁付着物が残る。この付着物を除去しない限り良好なキャパシタ特性は期待できないので、この側壁付着物の除去プロセスを検討した。室温における有機洗浄や王水によるエッチング処理では付着物を除去することはできなかった。他の酸などで除去することもできなかったため、最終的にメカニカルスクラブにより、強制的にこの付着物を除去するプロセスを採用し、図3.32(c)に示すように所望のPt/Ta下部電極を作製した。

このようにして形成した約1.0 μm角のPt/Ta下部電極が複数個ならんだ加工面上に、イオンビームスパッタ法により基板温度450 °C、ビーム電圧1000 V、ビーム電流40 mAにてSrTiO₃薄膜を30~300 nm成膜した。その上に上部電極としてAl(1 μm)/TiN(50 nm)をDCスパッタ法により成膜し、Cl₂ガスを用いた反応性ドライエッチングにより2500個の下部電極を覆うように上部電極を形成しキャパシタアレイを作製した。ひとつひとつのPt/Ta下部電極はSi基板で電氣的に接続されているので、全体的にはひとつのPt/Taを下部電極とする微細キャパシタの並列接続となっている。またキャパシタの全面積は下部電極Pt/Taの面積の和となる。上部電極Al/TiNは通常のULSIプロセスで一般的に用いられている配線材料であり、容易に微細加工できる。最終的に完成した平坦型キャパシタアレイの断面構造を図3.33に示す。各Pt/Ta電極はpoly-Siプラグによって基板と接続され、Pt/Ta電極を覆うようにSrTiO₃薄膜が形成されている。さらにその上に上部電極のAl/TiN薄膜が形成されている様子がわかる。

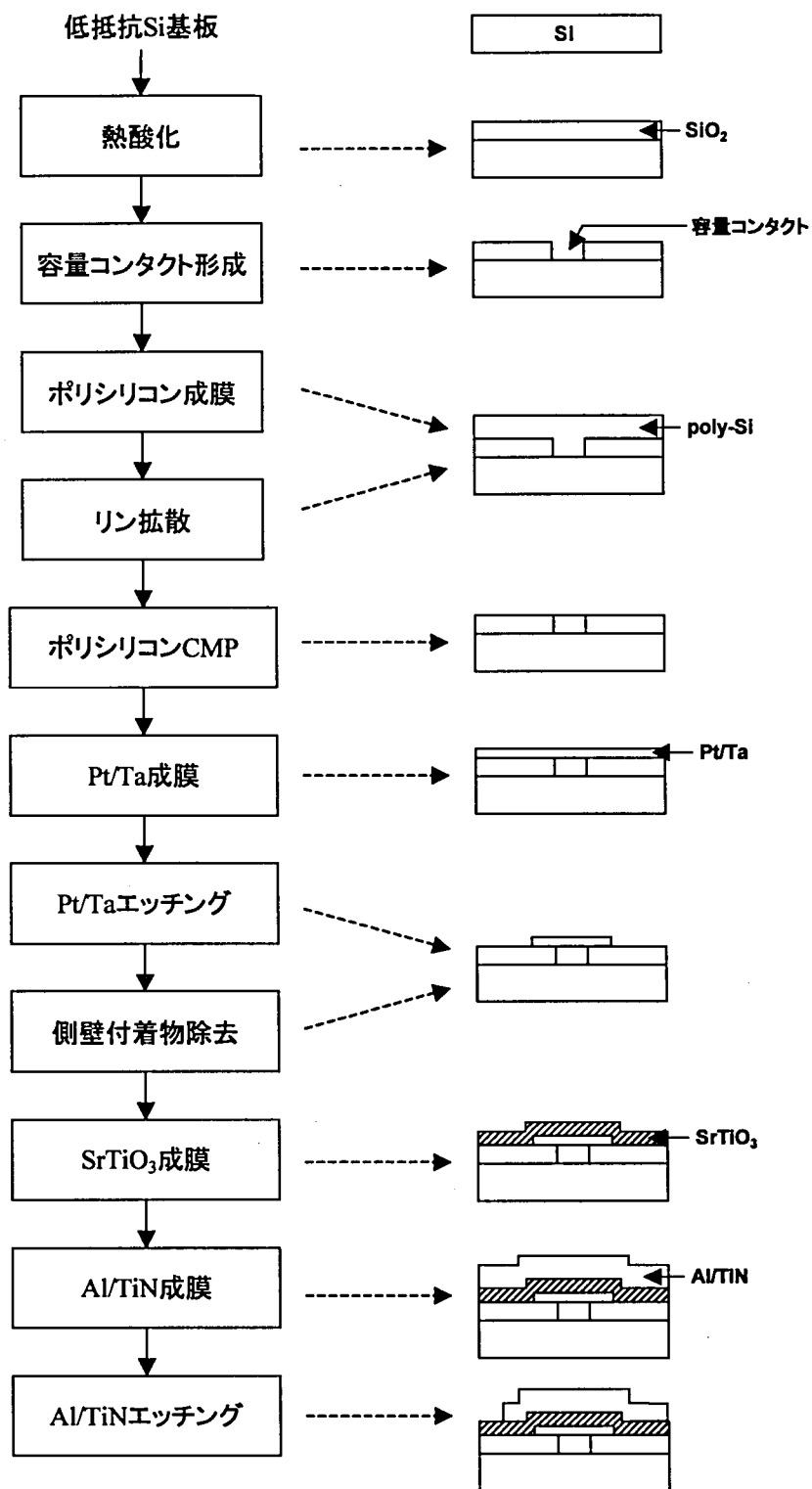
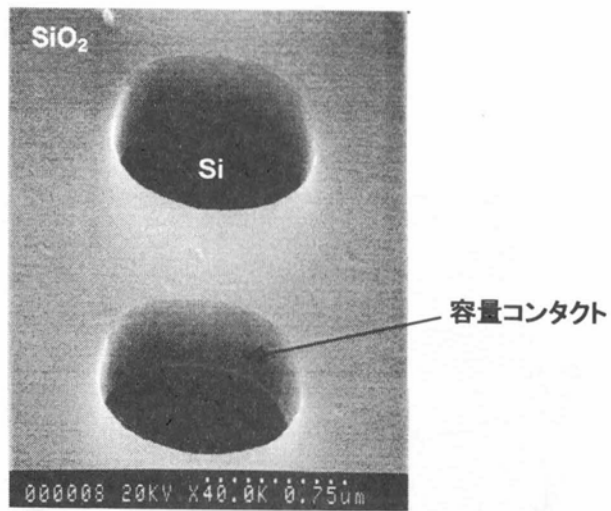
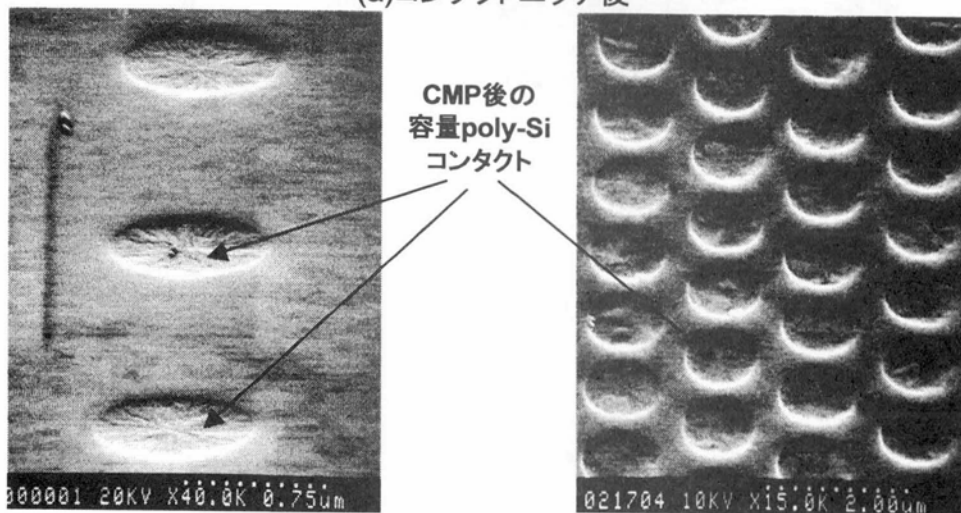


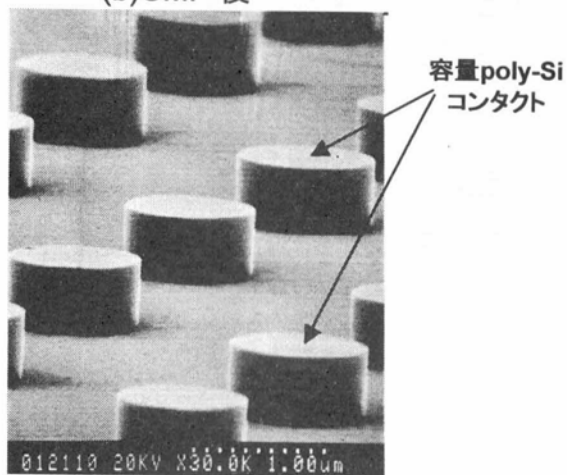
図 3.29 平坦型 DRAM セルキャパシタの工程フロー



(a)コンタクトエッチ後



(b)CMP 後



(c) (b)から試験的に SiO_2 を除去した後

図 3.30 CMP 法を用いた容量コンタクトの形成

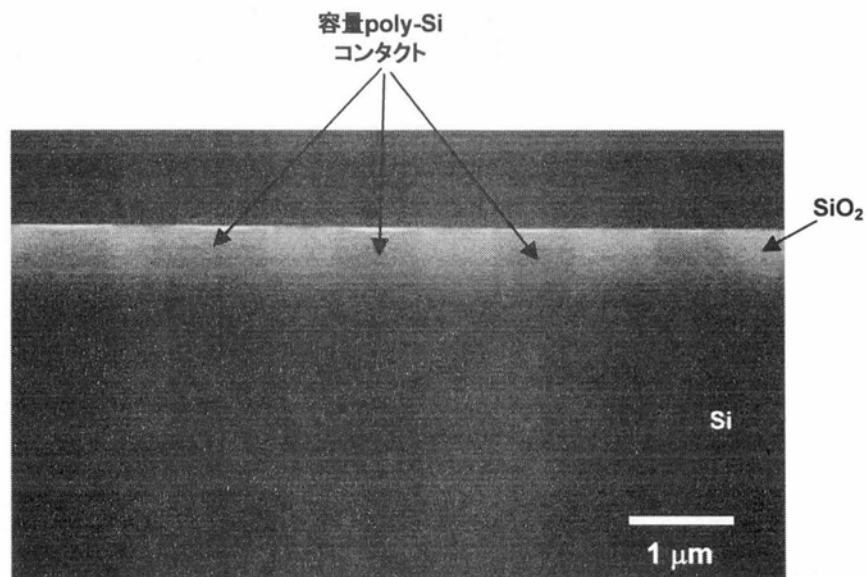


図 3.31 CMP 法を用いた容量 poly-Si コンタクト

表 3.4 ポリシリ CMP 条件

研磨圧力	0.4 kg/cm ²
ヘッド回転速度	35 rpm
定盤回転速度	35 rpm
研磨液	ピペラジン水溶液
研磨液濃度	1 g/L
研磨液滴下量	10 mL/min
ポリッシングパッド	SUBA800 (硬質繊維型パッド)
ウエハ保持方法	裏面パッド方式

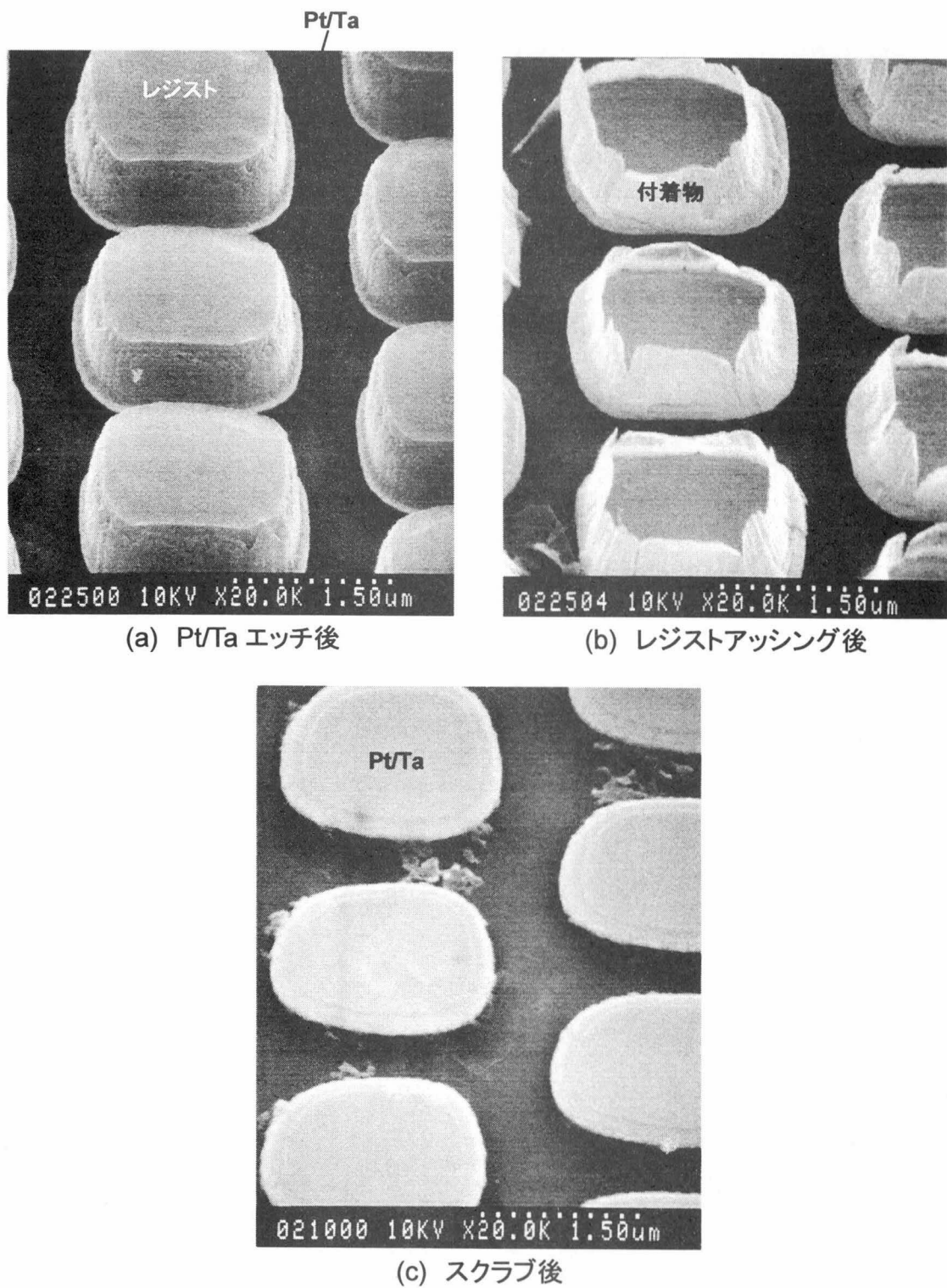


図 3.32 Pt/Ta エッチングにおけるレジスト側壁付着物と除去後の SEM 写真

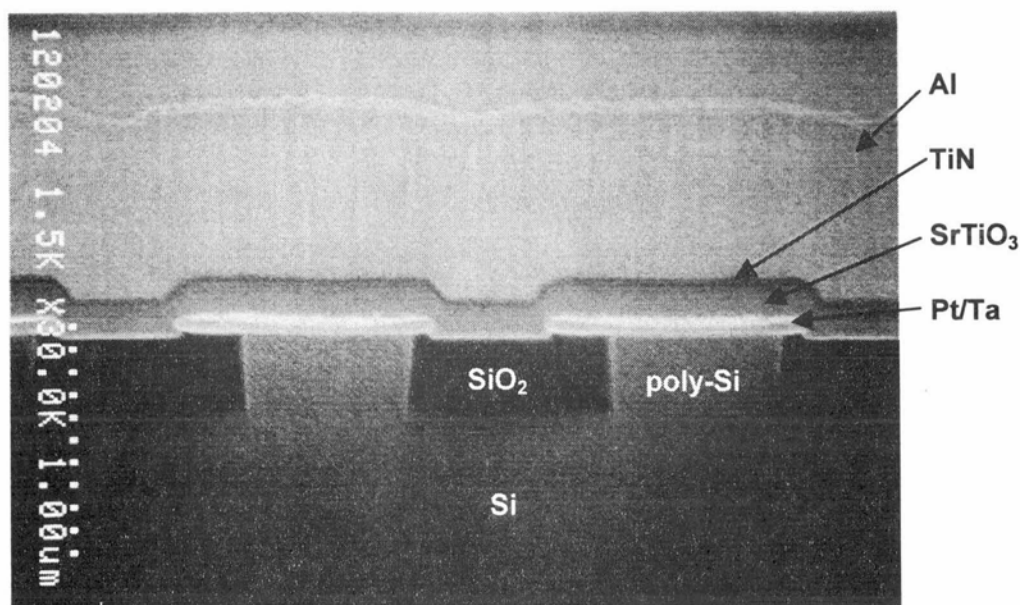


図 3.33 平坦型 DRAM セルキャパシタの断面構造

3.3.2 IBS-SrTiO₃ 薄膜によるキャパシタ特性

今回作製した試料には、同一ウエハ内で下部電極 Pt/Ta が微細な矩形状に加工されていない領域も存在し、その上にも SrTiO₃ 薄膜が堆積してキャパシタが形成されている。つまりこの領域の Pt/Ta は加工プロセスを経ているが、キャパシタとしては、第 2 章の図 2.2 と類似の構造である。この場合、キャパシタ面積は上部電極の面積で規定される。このキャパシタをキャパシタ A、図 3.33 のように下部電極が微細加工されているキャパシタをキャパシタ B とする。キャパシタ A の電気的特性を評価する際は、SrTiO₃ 薄膜の一部を HF:HNO₃:H₂O 混合液でウェットエッチングをして下部電極 Pt の表面を露出させ、その Pt 上面をプロービングした。キャパシタ B を評価する際はシリコン基板の裏面をプロービングして、容量ポリシリコンタクトを含むキャパシタの特性を測定した。

キャパシタ A における誘電率の SrTiO₃ 膜厚依存性を図 3.34 に示す。膜厚が 200 nm 以上では第 2 章で示した結果とほぼ等しい 200 程度の高誘電率が得られている。また膜厚が 50nm 以下になると誘電率が低下する。図 3.35 に SrTiO₃ 膜厚 100 nm と 200 nm の試料における誘電率と $\tan\delta$ のキャパシタ面積依存性を示す。誘電率はキャパシタ面積に依存せず一定であるが、 $\tan\delta$ はキャ

パシタ面積が 1 mm^2 以上になると上昇し始める。これは SrTiO_3 薄膜中に存在する欠陥が、キャパシタ面積の増加によって測定領域内に取り込まれる確率が大きくなるためであると思われる。

次に SrTiO_3 膜厚 300 nm におけるキャパシタ A とキャパシタ B の容量及び $\tan\delta$ の周波数依存性を図 3.36 と図 3.37 にそれぞれ示す。キャパシタ B における Pt/Ta 電極サイズは $1.0 \times 1.0\text{ }\mu\text{m}$ 、電極間隔は $0.8\text{ }\mu\text{m}$ 、個数は 2500 個である。両方のキャパシタにおいて、測定周波数領域でほぼフラットな容量が得られており、容量ポリシリコンタクトで基板と接続された Pt/Ta 微細電極アレイ上でも 200 近い高誘電率が得られた。しかし $\tan\delta$ はキャパシタ B において低周波で増大した。 SrTiO_3 膜厚 300 nm と 200 nm におけるキャパシタ A とキャパシタ B のリーク特性を図 3.38(a)、(b) にそれぞれに示す。 SrTiO_3 膜厚が 300 nm では、キャパシタ B における $+1\text{ V}$ 時のリーク電流がキャパシタ A に比べて 1 桁程度大きくなっている。さらに、 SrTiO_3 膜厚を 200 nm にした場合、リーク電流は $+1\text{ V}$ において 3 桁以上急激に増大する。

図 3.33 に示したように、今回作製した平坦型キャパシタアレイでは、CMP を用いて poly-Si プラグをほぼ理想的な状態まで平坦化したにも関わらず、Pt/Ta 電極端部において SrTiO_3 の膜厚が電極上面部よりも小さくなっており、この部分でリーク電流が増加したと思われる。

今回の平坦型キャパシタアレイの試作により、実際に高誘電率 BST 薄膜を ULSI に導入するためには、BST 薄膜そのものの段差被覆性の向上が必須であることが明らかとなり、CVD 法の開発が課題であることが明らかとなった。

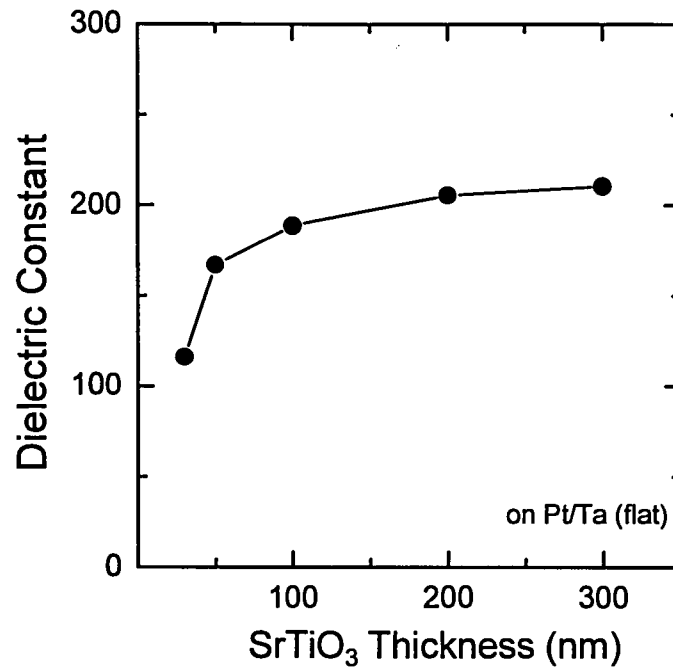


図 3.34 平坦電極上(キャパシタ A)における誘電率の SrTiO₃ 膜厚依存性

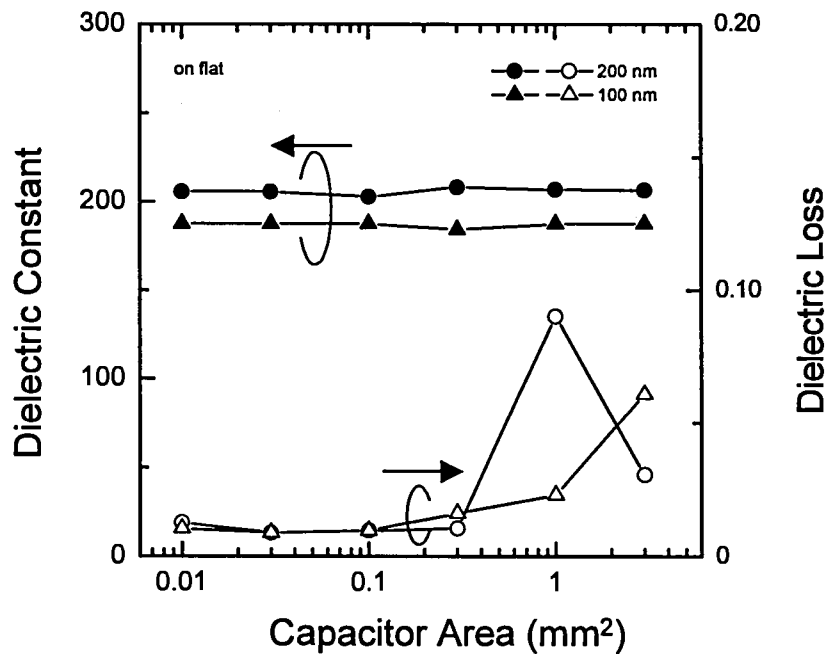


図 3.35 平坦電極上(キャパシタ A)における誘電率と誘電損失のキャパシタ面積依存性

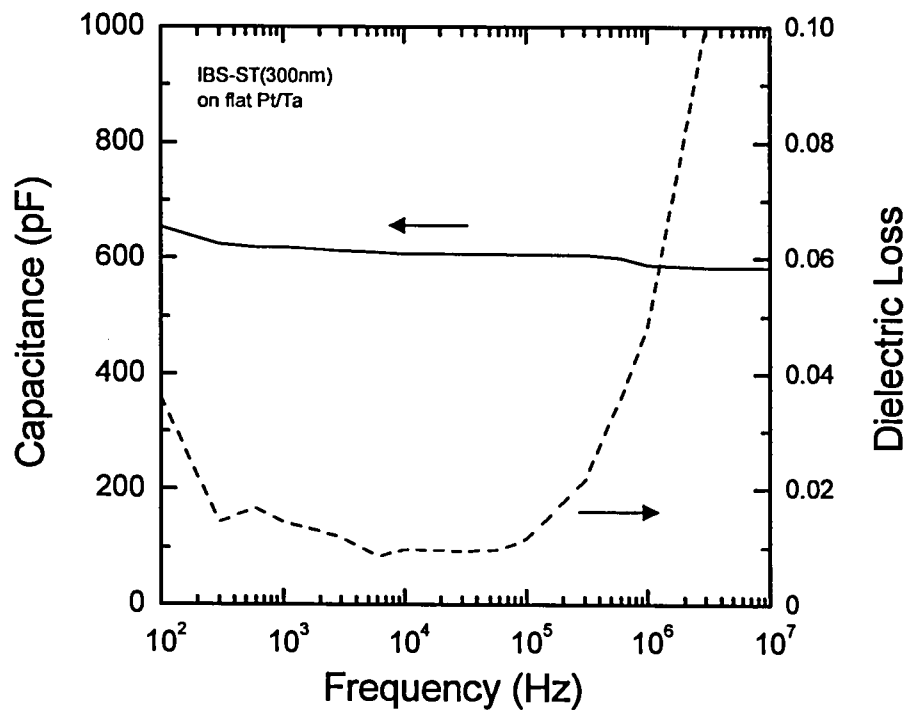


図 3.36 平坦電極上(キャパシタ A)での容量と誘電損失の周波数依存性

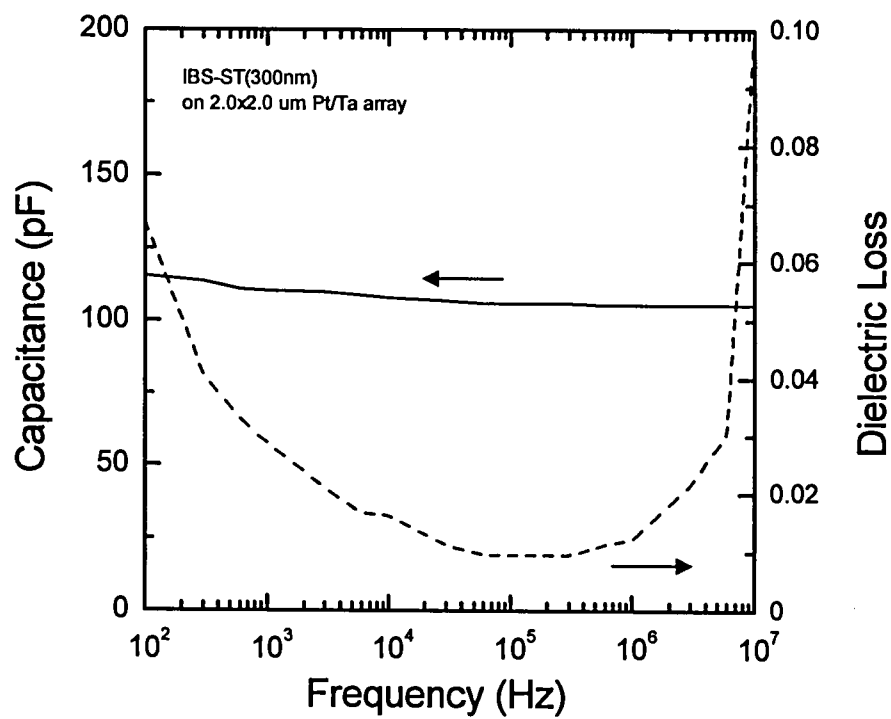
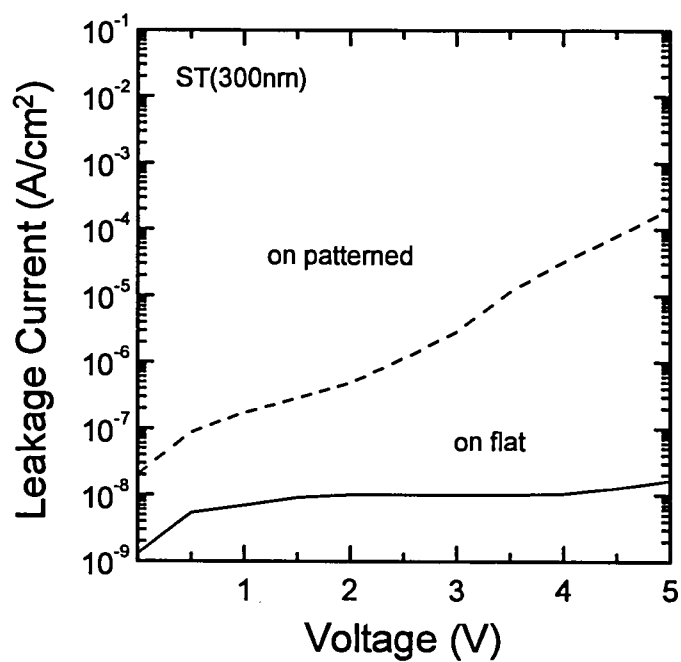
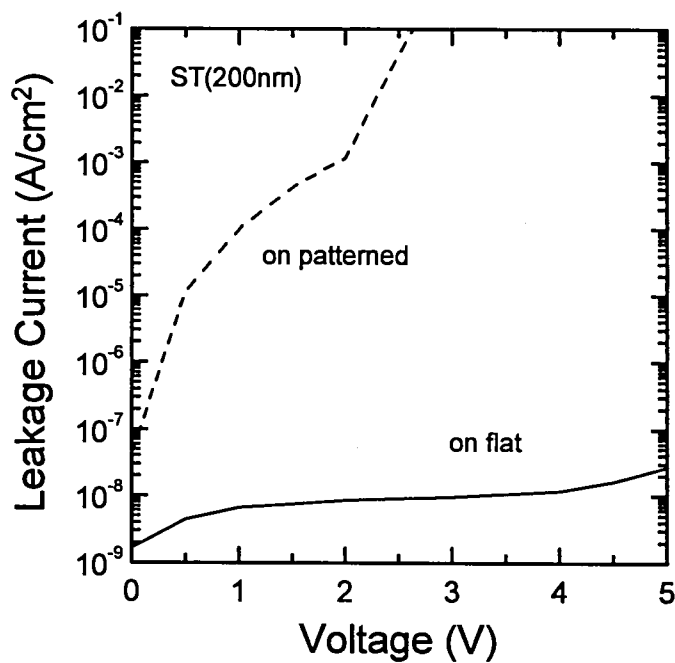


図 3.37 微細電極アレイ上(キャパシタ B)での容量と誘電損失の周波数依存性



(a) SrTiO_3 膜厚 300nm の場合



(b) SrTiO_3 膜厚 200nm の場合

図 3.38 平坦電極上と微細電極アレイ上における I-V 特性の比較

3.4 結言

本章では、高誘電率 BST 系キャパシタを Si 基板と電氣的に接続するために必要な下部電極材料及び、その Si の拡散防止バリアとしての特性や構造の変化、さらに容量ポリシリコンタクトによって Si 基板と接続された微細キャパシタアレイの作製プロセスについて述べた。以下に本章で得られた知見をまとめる。

1. SrTiO_3 薄膜本来の 200 近い高誘電率を Si 基板上で実現するためには、Pt/Ta や Pt/Ti といった 2 層構造の下部電極が必要であるが、この際、下層の Ta や Ti は、 SrTiO_3 成膜中や成膜後のアニール時に Si が拡散するのを防止する拡散バリアとして作用していることを明らかにした。
2. Ti の場合、高誘電率を保持できるプロセス温度は、Ti のシリサイド化温度と一致する。Ta の場合は、シリサイド化が開始する前に、Pt の粒界を通して拡散してきた酸素と反応して抵抗値の高い TaO_x 層を形成するため、バリアメタル全体の耐熱温度はシリサイド化開始温度と、酸素による酸化反応のどちらか低い方の温度で決定されることがわかった。
3. Pt/Ta バリアメタルを ECR プラズマエッチング法により加工して、微細な下部電極アレイを作製し、その上に IBS 法により基板温度 450 °C で SrTiO_3 薄膜を堆積して、下部電極の上面を利用するキャパシタアレイを作製した。コンタクトを平坦に形成するためには CMP 法が非常に有効であることを見いだした。
4. 加工プロセスを経た Pt/Ta 微細電極アレイ上でも 200 近い高誘電率を実現することができた。しかし下部電極の端部で SrTiO_3 膜厚が減少しており、リーク電流は加工されていない平坦な電極上に比べて大きくなった。

以上述べたように、下部電極上面のみを利用する平坦型のキャパシタアレイにおいても、やはり高誘電率 BST 薄膜の段差被覆性の向上が必要である。また Pt を反応性ドライエッチングで加工することは困難であり、レジスト側壁堆積物の除去のプロセスを追加しなければならない点も課題であって、微細加工可能な電極材料が必要であると言える。

第 3 章の参考文献

- [1] S. Matsubara, T. Sakuma, S. Yamamichi, H. Yamaguchi, and Y. Miyasaka, *Mat. Res. Soc. Symp. Proc.*, 200, 243 (1990).
- [2] T. Sakuma, S. Yamamichi, S. Matsubara, H. Yamaguchi and Y. Miyasaka, *Appl. Phys. Lett.*, 57, 2431 (1990).
- [3] 山道、佐久間、松原、山口、宮坂, 第 51 回応用物理学会学術講演会予稿集 p.444, 29a-C-9 (1990).
- [4] K. Takemura, T. Sakuma, S. Matsubara, S. Yamamichi, H. Yamaguchi, and Y. Miyasaka, *Integrated Ferroelectrics*, 4, 305 (1994).
- [5] 馬来, 応用物理, 57, 12, 1856 (1988).
- [6] A. Brenner and S. Senderoff, *J. Res. Natl. Bur. Stand.*, 42, 105 (1949).
- [7] Y. Hayashi, K. Oyama, S. Takahashi, S. Wada, K. Kajiyana, R. Koh, and T. Kunio, *IEDM Tech. Dig.*, 657 (1991).
- [8] 青木、橋本、井川、吉川、佐久間、宮坂, 第 52 回応用物理学会 学術講演会予稿集 9p-ZF-17, 516 (1991).

第4章 立体電極上への(Ba,Sr)TiO₃ 薄膜の作製と DRAM セルキャパシタへの応用

4.1 緒言

本章では3次元的な立体的な構造を有する下部電極上におけるBST薄膜の特性について述べる。第2章で述べた理想的な平坦電極上でのBST薄膜の特性は、高誘電率と低リーク電流を両立したものであるが、これらの特性では256MbitDRAMまでしか十分なセル容量を蓄積することができない。1GbitDRAM以降のGbit級DRAMの世代では、現状の高誘電率BST薄膜を採用するとしても、ある程度下部電極の立体化、つまり3次元構造化は避けられない。もし立体電極の中で最も単純な構造である直方体型の下部電極上に、BST薄膜を均一に作製できれば、他の複雑なシリンダ型やフィン型と比較した場合、作製プロセスが容易になり、歩留まり向上やコスト削減効果も大きいことが期待できる。さらに第3章で述べたように、段差被覆性に乏しい成膜手法を用いる限り、平坦型のキャパシタ構造であっても下部電極端部における段差において、理想的な平坦電極上と比べてリーク電流が増加してしまう。したがって、BST薄膜の誘電率の膜厚依存性に起因する単位面積あたりの容量の限界と、ULSIに適用する際の段差被覆性の両方の観点から、立体電極上へのBST薄膜の作製とその特性の評価が非常に重要な課題となってくる。

本章ではまず、IBS法やrfスパッタ法などの物理的成膜手法の段差被覆性について調べた結果を述べる。次にRuO₂がPtと異なりサブミクロンサイズに容易に微細加工が可能であることを示す。そしてRuO₂の凹凸電極上にrfスパッタ法によってBSTを成膜し、立体電極側面に堆積したBST薄膜の誘電特性を評価した結果を述べる。CVD技術の完成度の高いSiO₂薄膜やSi₃N₄薄膜では、電極表面を故意に荒らして有効面積を増加させ、電極側面を積極的に利用するようなプロセスが実用化されている。これはSiO₂薄膜やSi₃N₄薄膜の段差被覆性がほぼ100%であり、膜構造も非晶質であるために、電極のどの面においても等しい誘電特性が得られることに基づいている。しかし、本研究当時においては、BSTやPZTなどのペロブスカイト型酸化物薄膜に関して、電極の垂直方向、つまり側面でどのような電気的特性を示すのかについては全く報告例がなかった。これらの薄膜は平坦電極上では柱状グレインを有する多結晶構造であるために、電極側面に堆積した膜構造の評価と、電気的特性の確認が重要な課題として残っていた。

続いて、本質的に立体構造上に均質な成膜が期待できるMOCVD法によるBST成膜の検討

結果について述べる。ECR 酸素プラズマを照射することで下部電極のバリア特性を劣化させることなく、500°C の低温成膜 as-depo の状態で優れた誘電特性が実現できることを示す。最後に、BST 薄膜を実際の ULSI ラインに導入する前に必要となる、Ba や Sr 元素の汚染評価の結果について論じる。

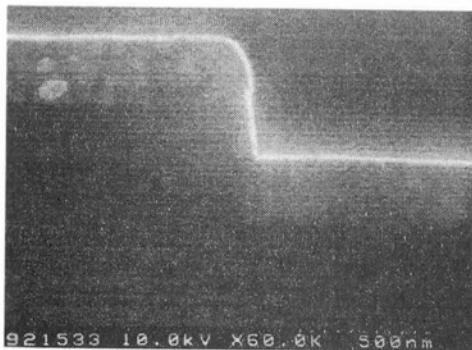
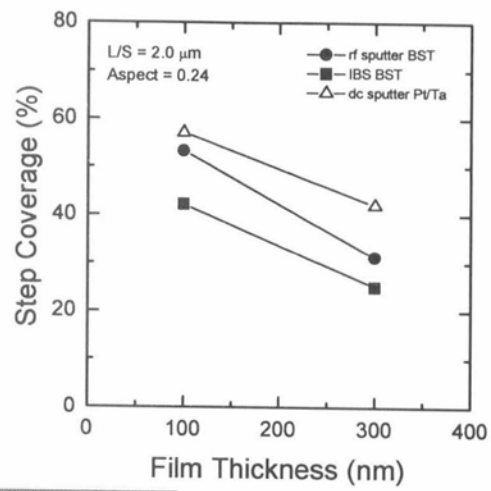
4.2 RuO₂ 下部電極側面への(Ba,Sr)TiO₃ 薄膜の作製とその誘電特性

4.2.1 段差被覆率の評価

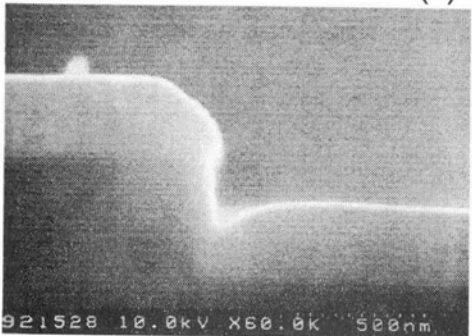
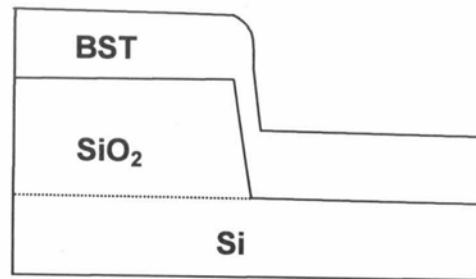
立体的な電極上への高誘電率薄膜の作製を試みるにあたり、SiO₂によるダミー段差を作製し、その上にBST 薄膜を堆積して段差被覆性を調べた。IBS 法や rf スパッタ法などの物理的成膜手法では、段差被覆性は成膜条件と共に装置のジオメトリにも強く依存する。比較のために下部電極材料の Pt/Ta 薄膜についても被覆性を調べた。Si 基板上に 480 nm の SiO₂ を成膜し、ライン&スペースの幅を 2.0 μm としてエッチングにより段差を形成した。その上に rf スパッタ法および IBS 法により BST 薄膜を、dc スパッタ法により Pt/Ta 薄膜を、それぞれ 100 nm と 300 nm 作製した。本研究では、段差被覆率を SiO₂ 段差上面の膜厚に対する段差側面の膜厚の割合と定義した。

図 4.1 に段差被覆率及び断面 SEM 写真を示す。BST 薄膜と Pt/Ta 薄膜の段差被覆率は、どちらも堆積膜厚の増加に伴い減少する。これはスパッタリング時のシャドーイング効果により、堆積膜厚が増えるに伴い立体構造の側面への付着確率が減少するためである。膜厚 100 nm では dc スパッタ法による Pt/Ta 薄膜が 60 % 近い被覆性を有している。これは使用した装置が複数のウェハをバッチ処理できるものであり、ウェハはターゲット面の上方で公転しているために、ターゲットのほぼ直径上を通過する際に横方向からの被スパッタ粒子が SiO₂ 段差側面へと飛来するためである。SiO₂ 段差の上端部ではオーバーハングが観察される。

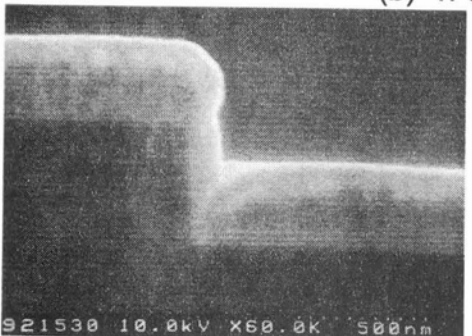
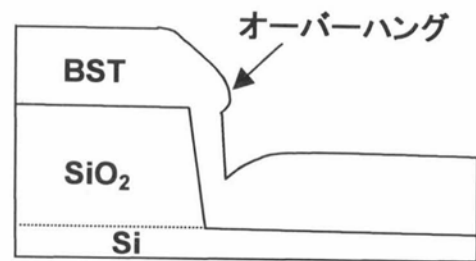
IBS 法と rf スパッタ法は枚葉処理装置であり、ウェハはターゲット上方に固定されていて公転はしていない。IBS 法では面内均一性を向上させるためウェハは自転している。図 4.1 に示すように、SiO₂ 側面への被覆率が最も小さいのは IBS 法による BST 薄膜である。SiO₂ 上端部でのオーバーハングが観察されないことから、被スパッタ粒子の直進性は良いことがわかる。rf スパッタ法による BST 薄膜は IBS 法よりも被覆性に優れている。これは装置構成上、ターゲットー基板間距離が IBS 法より小さいこと、さらにガス圧が 1 桁以上大きいため、斜め方向から基板へ入射する被スパッタ粒子の割合が多いこと、等が原因であると考えられる。基板が rf プラズマ中に曝されているため、SiO₂ 上端部のオーバーハング部では、図 4.1(b)に示すように、プラズマによる逆スパッタが発生していると思われる斜めの面形状となっている。これらの結果より、IBS 法による BST 薄膜では立体電極の側面部を積極的に利用することは難しいと思われる。よって本節における検討は rf スパッタ法を中心に行った。IBS 法の高品質な薄膜形成プロセスは、下部電極の上面のみを使用するアプリケーションに対して有効であると考えられる。



(a) IBS-BST 薄膜



(b) rf-sputter-BST 薄膜



(c) dc-sputter-Pt/Ta 薄膜

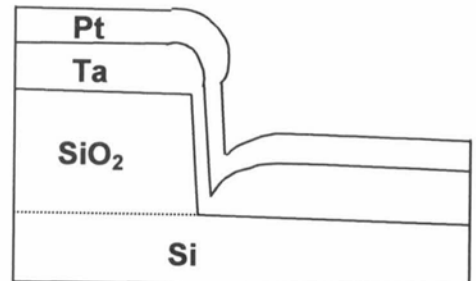


図 4.1 BST 薄膜及び Pt/Ta 電極膜のステップカバレッジ

4.2.2 RuO₂のドライエッチング

下部電極を立体化して側面積を積極的に利用しようとする場合、もうひとつの問題点は、サブミクロンまで微細加工可能な下部電極材料の探索である。第3章でも述べたようにBST薄膜にとって好ましいPtやPdといった貴金属薄膜は、化学的に安定であり、適当な温度で蒸気圧の高い化合物が存在しないため、反応性ドライエッチングが難しい。イオンミリング法で加工することにより、ある程度の加工は可能となるが、レジスト側壁への再付着物の問題が残る。レジストをわざと横方向に後退させながら加工するミリング技術も開発されつつあるが、Gbit級DRAMを考えた場合、少なくとも0.2 μm程度の大きさに垂直に加工できなければならないので適用は難しい。

筆者達のグループでは、第2章でPt/Ta下部電極を中心とするキャパシタアレイを試作している際に、もう一つの下部電極材料としてRuO₂に着目した。RuO₂の成膜条件を表4.1に示す。RuO₂は酸化物であるが金属的な導電性を有し、抵抗率は薄膜で約250 μΩ・cmである。また過酸化物のRuO₄は比較的高い蒸気圧を有することが知られている。これまでにRuO₂のドライエッチングに関しては、O₂とCF₄ガスでエッチングした例が報告されていたが、エッチング速度が10 nm/min程度と遅く、実用的ではなかった^[1]。しかし、CF₄の代わりにCl₂を添加することでRuO₂のエッチング速度を飛躍的に向上できることがH. AokiとK. Takemura達によって見いだされた^[2]。エッチングに使用した装置は、第3章のPt/Taの加工に用いたのと同じECRプラズマエッチャーであり、エッチングマスクにはSpin-On-Glass(SOG)を用い、基板温度を0℃に冷却してエッチングを行った。図4.2に装置図を示す。マスク材にはSOGを用いた。これはRuO₂のエッチングガスの主成分がO₂であるためである。その後K. Tokashiki等によって、室温でのエッチングにおけるCl₂分圧の影響が検討され、図4.3に示すようにRuO₂、Ruのエッチング速度及び、RuO₂とSOGの選択比のCl₂添加量依存性が明らかとなった^[3]。Cl₂を添加しない純O₂の場合、RuO₂、Ruのエッチング速度はそれぞれ40 nm/min、10 nm/minと非常に小さく、実用的なレベルではない。しかしCl₂を5～20%添加することにより両者のエッチング速度は飛躍的に向上し、RuO₂で150 nm/min、Ruで50 nm/minとなる。その時RuO₂とSOGの選択比は5程度となり、RuO₂の膜厚が数百nm程度と厚い場合でも、比較的短時間でエッチングできることがわかった。このエッチング速度は十分速く、デバイス試作に適用できるレベルにあると考えられる。

表 4.1 RuO₂ の成膜条件

Apparatus	ULVAC SH-450
Sputtering gas	Ar / O ₂ = 5 / 15 sccm
Pressure	2.5 mTorr
Target	Ru metal
RF power	500 W
Substrate temperature	R.T.
Etching rate	7 nm/min

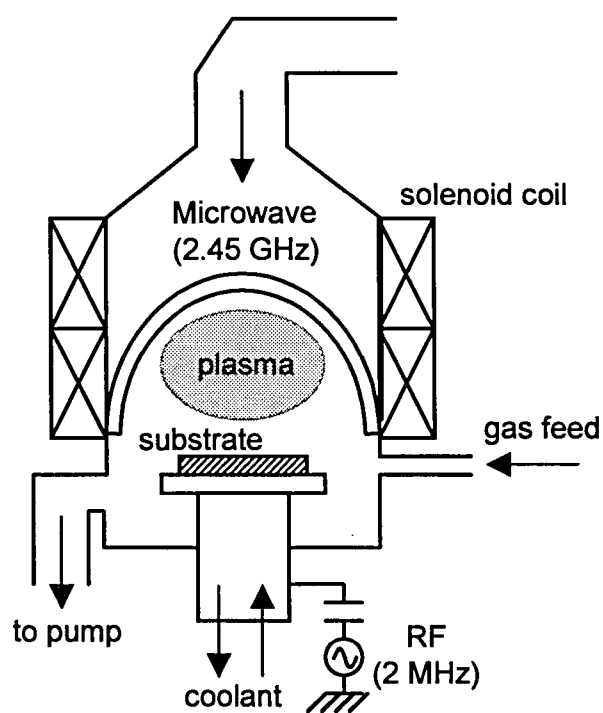


図 4.2 RuO₂ のエッチング装置図

図 4.4 に Pt/Ta と RuO₂ のエッチング形状の比較を示す^[4]。Pt/Ta の場合は前章で述べたようにレジスト側壁堆積物が厚く存在する。一方 RuO₂ の場合は、マスク材の SOG を除去した後の写真であるが、RuO₂ エッチング直後においても SOG 側壁へ堆積物は観察されない。また RuO₂ の場合は 500 nm の膜厚であっても、0.2 μ m の Gbit 級 DRAM に相当するサイズで、ほぼ垂直にエッチングが可能であることがわかった。この材料及びプロセスによって、高誘電率 BST 薄膜において立体電極の側面を積極的に利用する方向が現実味を帯びてきたのである。なお微量の Cl₂ 添加によってなぜ RuO₂ のエッチング速度が急激に増大するのかは現時点で明確な理由が分かっていない。エッチング中のプラズマ分析の結果から、活性な原子状酸素の濃度には変化がないこと、基板温度を変化させた検討結果から、Cl₂ 添加によって反応の活性化エネルギーにも変化がないことがわかっている。可能性として挙げられるのは、RuO₂ や Ru の酸化剤として ClO が形成され、それが RuO₄ を形成する酸化反応を促進しているのではないかと、ということであるが、これもまだ確証を得るには至っていない^[3]。

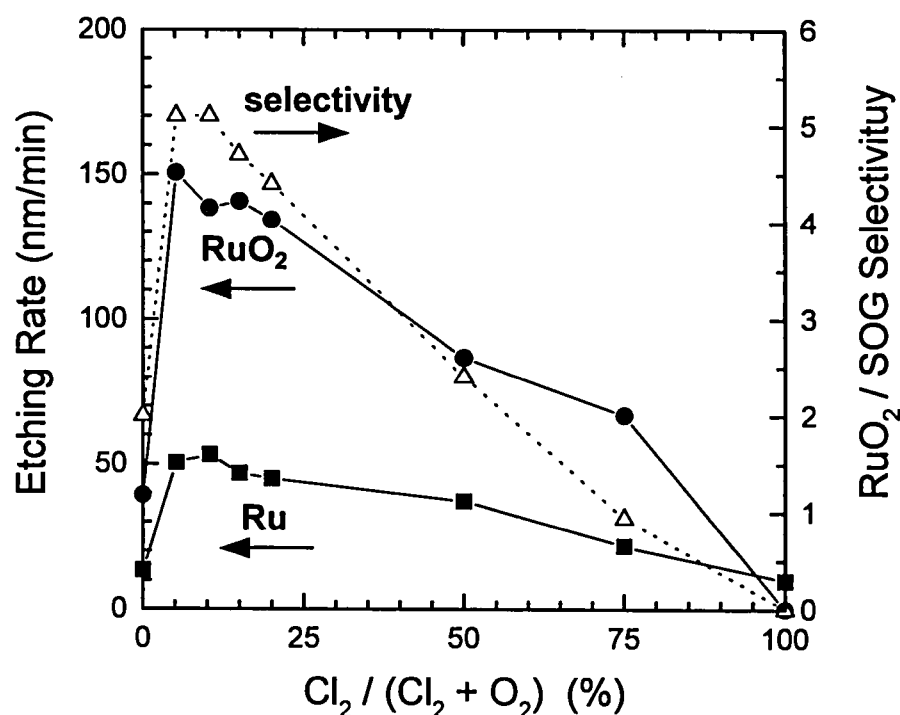


図 4.3 RuO₂、Ru のエッチング速度と RuO₂/SOG の選択性の Cl₂ 添加量依存性

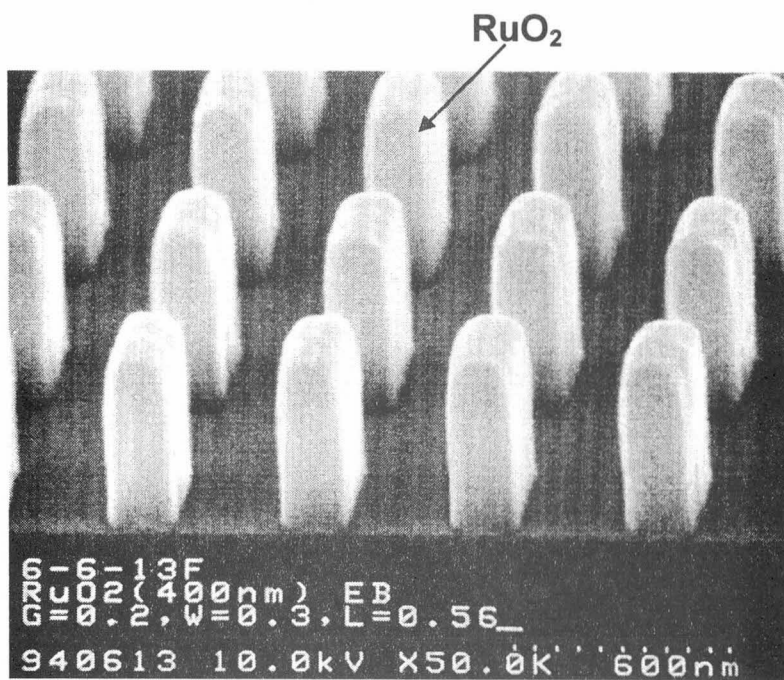
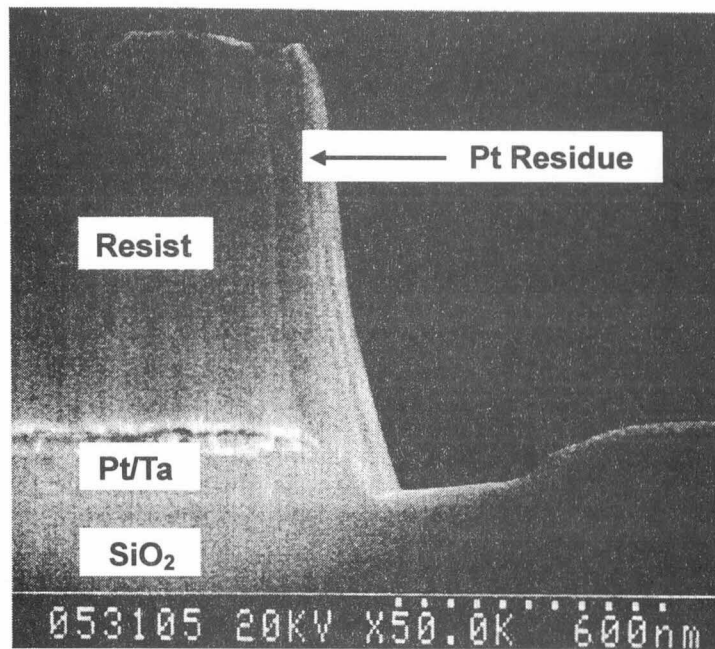


図 4.4 Pt と RuO₂ のエッチング形状の比較

4.2.3 RuO₂ 側面における rf スパッタ(Ba,Sr)TiO₃ 薄膜の誘電特性

RuO₂ がサブミクロンサイズにまで微細加工できることがわかったため、この RuO₂ 側面における BST 薄膜の誘電特性を評価することを目的として、図 4.5 に示すようなキャパシタを作製した。RuO₂ をあらかじめ 1 μm 程度十分厚く成膜し、その微細加工の途中でエッチングを停止する。そしてフォトリソとマスクを除去すれば、RuO₂ をウエハ全面に残しながら、一部の領域に微細な凹凸パターンを形成することができる。この RuO₂ 電極上に BST 薄膜を堆積することにより、RuO₂ 平坦面上での特性と、RuO₂ 加工凹凸上での特性を同一ウエハ上で評価することができる。さらに、加工面上で得られた特性から、平面上で得られた特性の寄与分を差し引くことにより、RuO₂ 側面に堆積した BST 薄膜のみの誘電特性を評価することができる。

全体のプロセスフローを図 4.6 に示す。Si 基板上に密着層として TiN を成膜しその上に RuO₂ を 1 μm 成膜する。SOG(320 nm)をマスクとして塗布した後、130 °C、1 時間のベークを行う。レジストを塗布してリソグラフィーにより 0.4~2.0 μm の微細パターンを作製し、前節に述べたエッチング条件により、RuO₂ を 650 nm の深さまでエッチングする。この際、実際の ULSI デバイスの作製時に常用されるオーバーエッチングが存在しないため、RuO₂ の加工側面は図 4.5 に示すように若干のテーパ角を有する。今回試作した構造では、Si 基板の法線方向に対し RuO₂ 側面は 73°の角度を有していた。また図 4.5 に示すように RuO₂ の平坦な領域も残されている。この上に rf スパッタ法により基板温度 500~650 °C で、膜厚 90~220 nm の BST 薄膜を堆積し、上部電極として Au(300 nm)/Ti(50 nm)または Al(1 μm)/TiN(50 nm)を堆積して、複数の RuO₂ の微細凹凸パターン部を含むキャパシタや、平坦なキャパシタを作製した。これら 2 種類の上部電極でほぼ等しい電気的特性が得られた。RuO₂ のエッチング条件と BST の成膜条件をそれぞれ表 4.2 と表 4.3 に示す。また上部電極 Au/Ti および Al/TiN のうち、Au、Ti、Al の各薄膜は第 3 章のバリアメタルと同じ成膜条件で作製した。TiN は表 4.4 に示すように Ti ターゲットを用いた反応性スパッタにより成膜した。

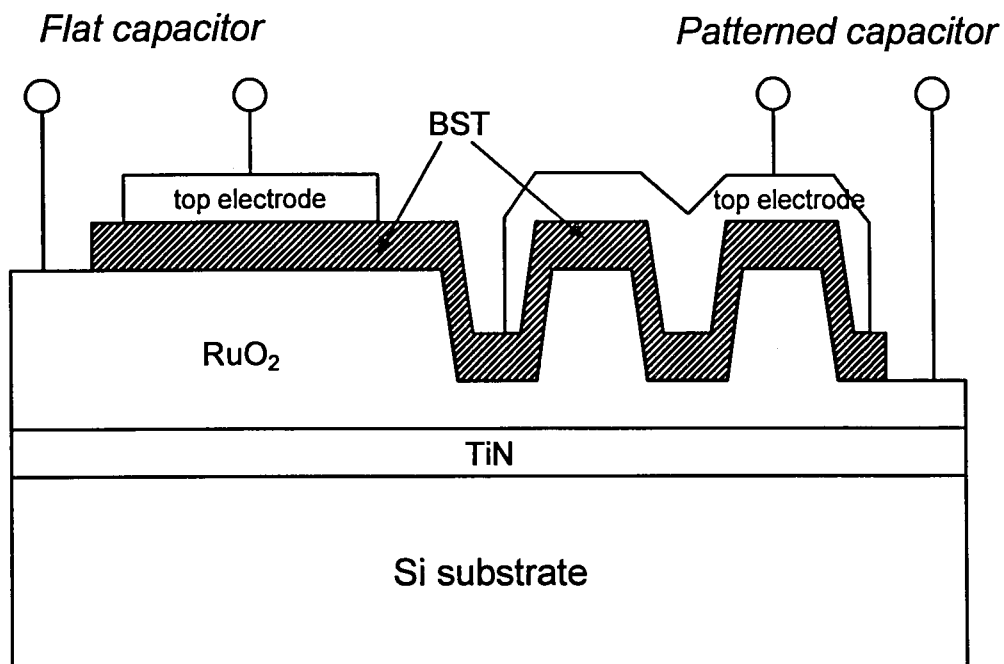


図 4.5 Flat キャパシタと Patterned キャパシタの構造

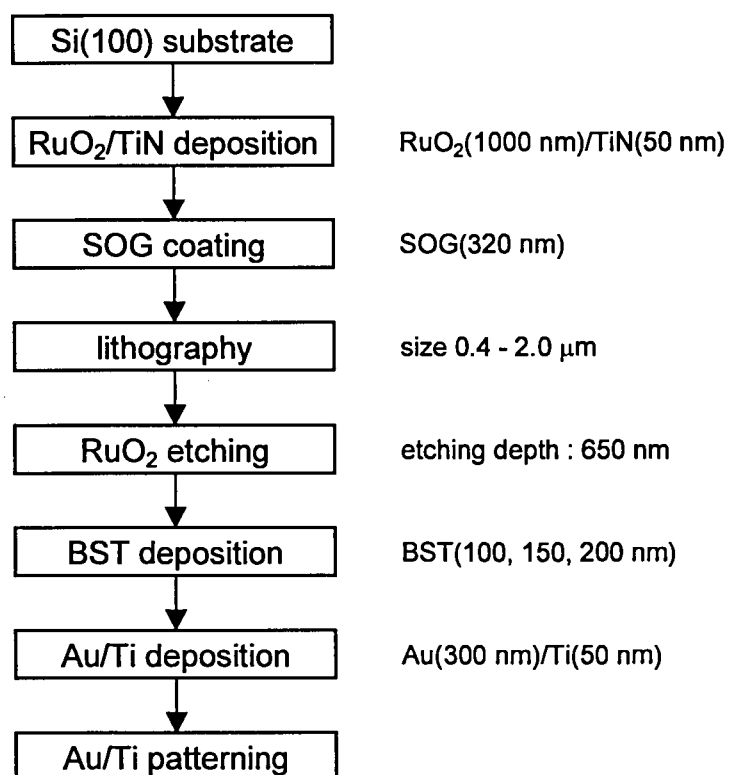


図 4.6 テストキャパシタのプロセスフロー

表 4.2 RuO₂のエッチング条件

Apparatus	Hitachi M-318SX
Etching gas	O ₂ / Cl ₂ = 180 / 18 sccm
Pressure	15 mTorr
Microwave power	200 W (100 mA)
RF power	150 W
Substrate temperature	0 °C
Etching rate	220 nm/min

表 4.3 BSTの成膜条件

Apparatus	ULVAC SBH-2306RE
Sputtering gas	Ar / O ₂ = 16 / 4 sccm
Pressure	3.6 mTorr
Target	(Ba _{0.5} Sr _{0.5})TiO ₃ powder
RF power	250 W
Substrate temperature	500 - 650 °C
Depo rate	5 - 6 nm/min

表 4.4 TiNの成膜条件

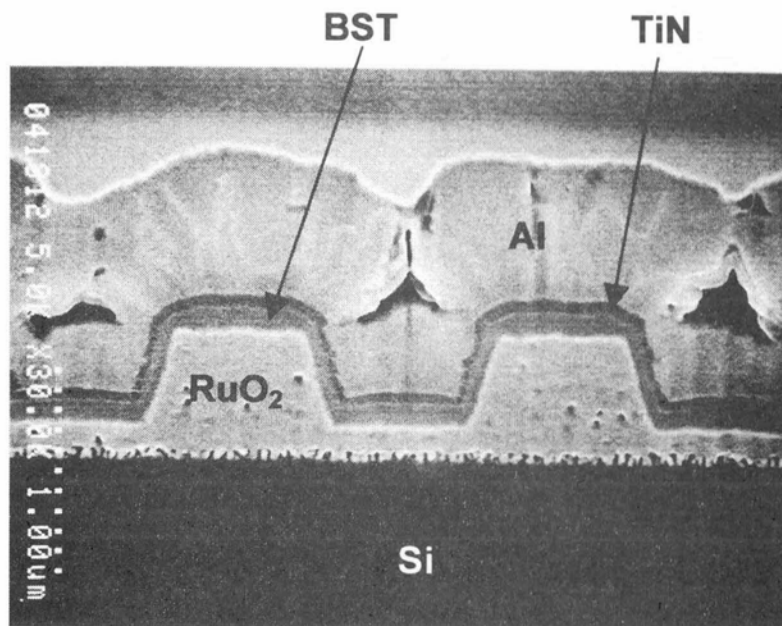
Apparatus	ULVAC SH-450
Sputtering gas	Ar / N ₂ = 5 / 15 sccm
Pressure	3 mTorr
Target	Ti metal
RF power	800 W
Substrate temperature	R.T.
Etching rate	3.7 nm/min

図 4.7(a)に今回作製した RuO₂ の微細凹凸パターン上のキャパシタの断面 SEM 写真を示す。なおこれ以降 RuO₂ 平坦面上を単に「平坦面上」、RuO₂ の微細凹凸パターン上を「加工面上」と称することにする。図 4.7 に示すように、BST は RuO₂ 上面のみならず側面にも十分厚く堆積していて、ボイドやクラックは観察されない。RuO₂ のライン&スペースを変化させた場合における、BST の被覆性の RuO₂ アスペクト比依存性を図 4.7(b)に示す。BST 膜厚が 100 nm の場合、アスペクト比 1.25 までほぼ 40 % 近い被覆性が得られている。これは、4.1 節で述べたように、rf スパッタ BST 薄膜はある程度の段差被覆性を有することと、RuO₂ 側面が完全に垂直でなく、73° のテーパ角を有していることに起因する。

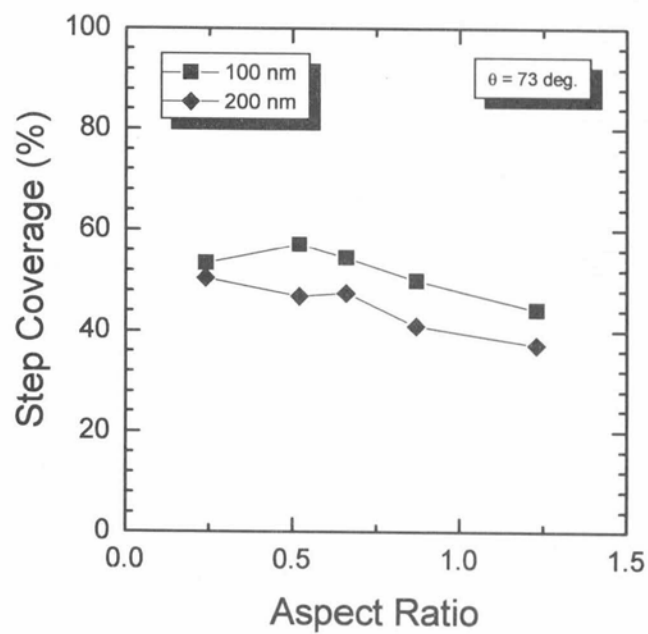
650 °C 成膜の BST に関し、平坦面上と加工面上での誘電率及び tanδ の周波数依存性の比較を図 4.8 に示す。ここで上部電極の平面投影面積は 0.029 mm² と一定であり、平坦面上のキャパシタと加工面上のキャパシタとで等しい。したがって、平面投影上は等しいキャパシタ面積であるため、図 4.8 で観察された容量の増加分は、すべて加工面上の RuO₂ 側面に堆積した BST 薄膜からの寄与成分であると言える。そこで、平面投影面積を一定に保ち、RuO₂ の微細凹凸の加工サイズや数を変化させることによって RuO₂ の側面積を変化させ、測定容量値を側面積に対してプロットしたのが図 4.9 である。測定された容量は側面積の増加に対してリニアに増加している。この直線の傾き(α)を求めることにより、以下に示す(4-1)式から、RuO₂ 側面に堆積した BST 薄膜の誘電率(ε_r(side))を計算することができる。

$$\epsilon_r(\text{side}) = \alpha \times d(\text{side}) / \epsilon_0 \quad \dots(4-1)$$

ここで、d(side)は RuO₂ 側面に堆積している BST 膜厚であり、SEM 写真から求めることができる。平坦面上で膜厚が 90、150、220 nm である BST 薄膜の RuO₂ 側面における膜厚は、それぞれ 40、65、92 nm となる。(4-1)式から求めた RuO₂ 側面の BST 薄膜の誘電率と、平坦面上から求めた BST 薄膜の誘電率をそれぞれ同一の膜厚 vs. 誘電率のグラフ上にプロットすると図 4.10 となる。この図より、膜厚 90 nm において平坦面上と加工面上での誘電率が等しくなっていることがわかる。さらに膜厚の減少に伴う誘電率の低下が、平坦面上における誘電率の膜厚依存性と一致する傾向を示していることから、RuO₂ 上面と側面にそれぞれ堆積した BST 薄膜は、同一膜厚においてはほぼ等しい誘電率を持つ薄膜となっていることがわかった。この結果は研究当時、世界で初めて実際の微細加工可能な下部電極の側面において BST の高誘電率を確認したものである。



(a)断面 SEM 写真



(b)ステップカバレッジとアスペクト比の関係

図 4.7 加工面上キャパシタの断面構造と BST 薄膜のステップカバレッジ

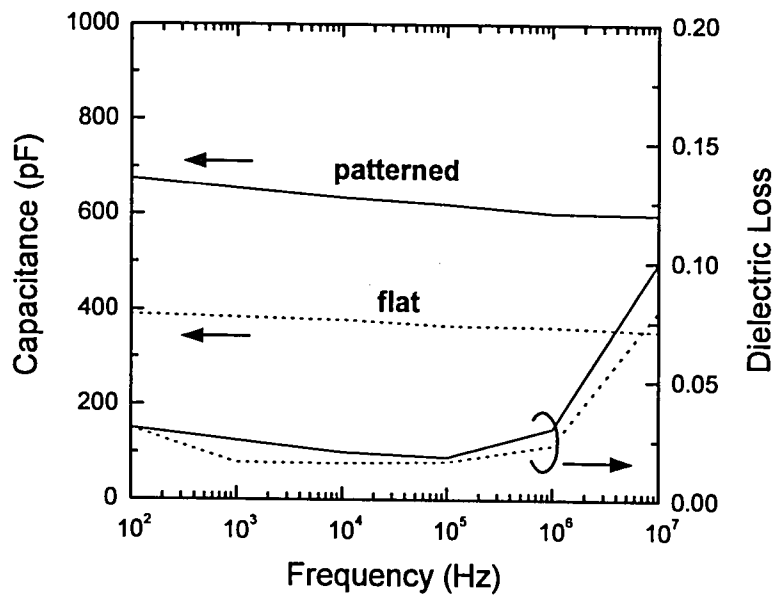


図 4.8 平坦面上キャパシタと加工面上キャパシタの容量の周波数特性の比較

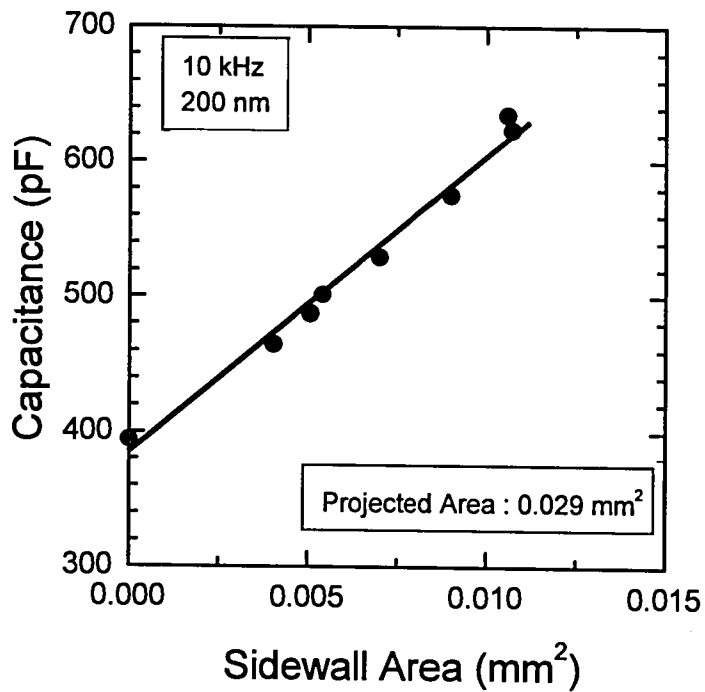


図 4.9 実測容量値の RuO₂ 側面積依存性

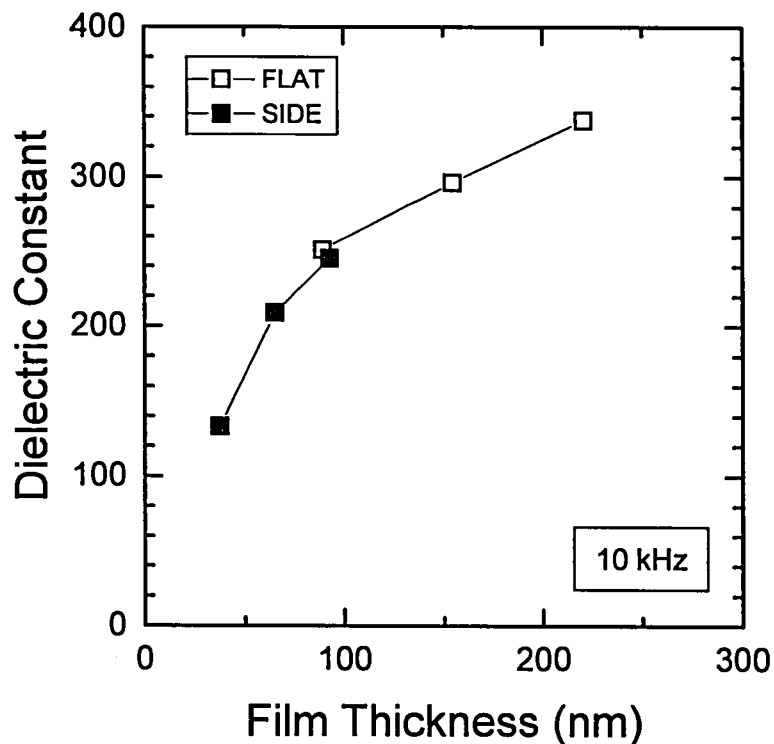


図 4.10 RuO₂ 上面と側面における
BST 薄膜の誘電率の膜厚依存性

リーク特性は RuO₂ 加工面上では劣化した。図 4.11 に平坦面上と加工面上でのリーク特性を示す。RuO₂ の上面と側面における BST 薄膜のリーク特性を比較するために、平坦面上では BST 膜厚が 90 nm、加工面上では上面に 220 nm の BST が堆積し側面での膜厚が 90 nm となっている試料を比較した。電極面積は RuO₂ の表面積全体である。その結果、+0.6 V まではどちらもほぼ 10^{-8} A/cm² 台の小さなリーク電流であるが、加工面上では +0.8 V から急激にリーク電流が増加し、+1 V で見ると 1 桁程度増加した。RuO₂ の平面投射面積を一定にして側面積だけを変化させた場合の、+1 V 印加時のリーク電流を図 4.12 に示す。側面積が増加するにしたがってリーク電流値も増加しており、キャパシタ全体のリーク電流は RuO₂ 側面に堆積した BST によって決定されていることがわかる。次に BST の基板温度を 650 °C から 500 °C まで低下させた場合におけるリーク電流の変化を図 4.13 に示す。リーク電流は基板温度が低下するにしたがって小さくなっている。

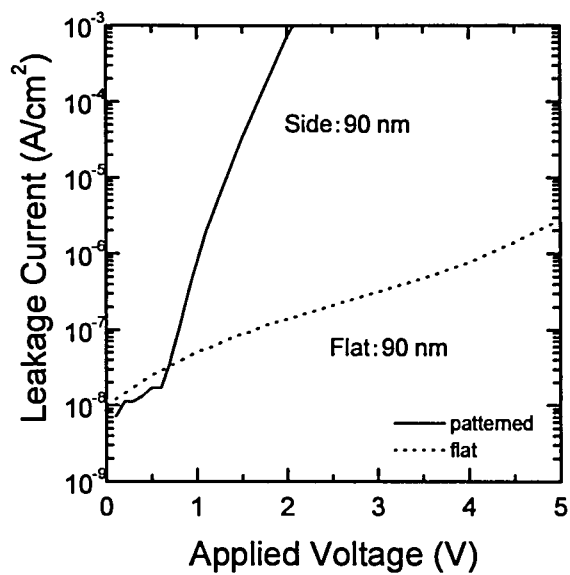


図 4.11 平坦面上キャパシタと加工面上キャパシタの I-V 特性の比較

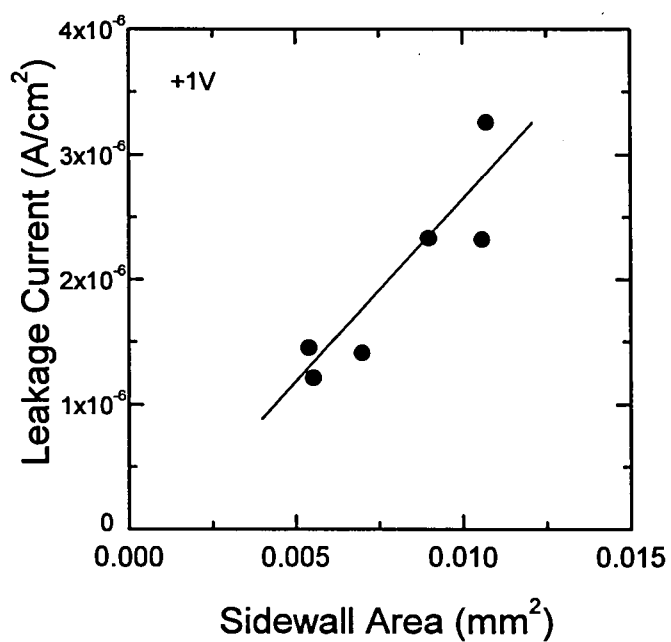


図 4.12 加工面上キャパシタのリーク電流値の RuO₂ 側面積依存性

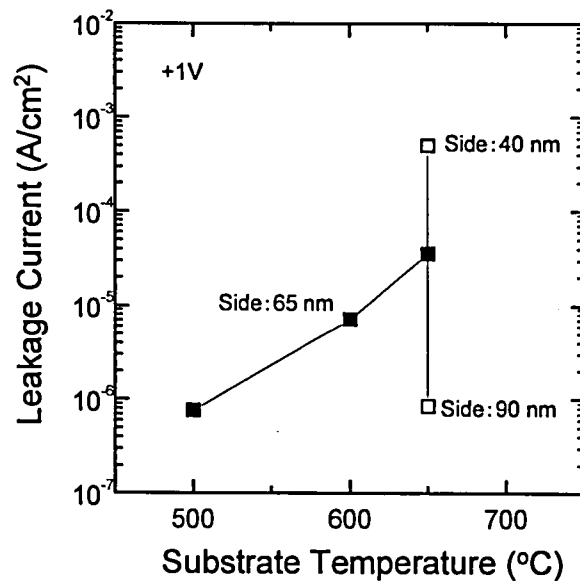


図 4.13 加工面上キャパシタにおけるリーク電流値の
基板温度及び BST 膜厚依存性

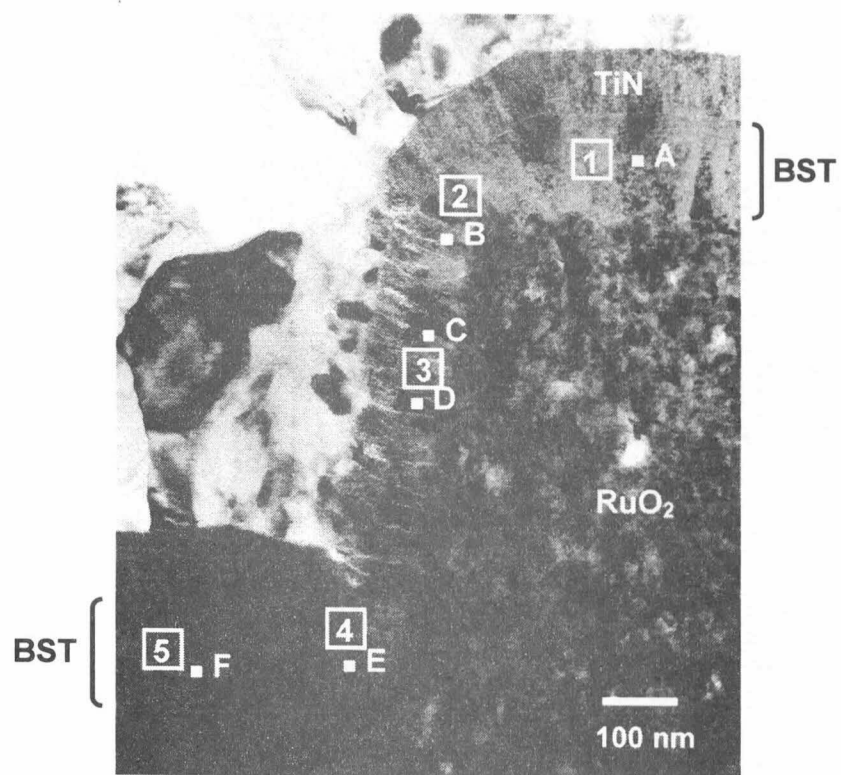
4.2.4 RuO₂ 側面における rf スパッタ(Ba,Sr)TiO₃ 薄膜の微細構造

基板温度 650 °C と 500 °C で RuO₂ 側面に成膜された、側壁膜厚 65 nm の BST 薄膜の断面構造を TEM 分析により観察した。その結果を図 4.14 に示す。分析に用いた試料の上部電極は Al/TiN である。どちらの基板温度においても RuO₂ 上面及び底面の BST 薄膜は、基板面に垂直な柱状構造をしており、粒径も 50 nm と大きい。また膜中にボイドやクラックなども観察されず、緻密な構造となっている。一方、RuO₂ 側面に堆積した BST 薄膜は斜めの柱状構造を有していて、粒径が 20 nm 程度と小さく、グレイン間に低コントラストの非晶質層がところどころ観察される。また RuO₂ 上端部で膜表面が斜めになっている rf スパッタ膜の特徴も観察される。この斜めの部分より下の領域で粒径が急激に小さくなり、RuO₂ 下端までその傾向が続く。図 4.15 には基板温度 650 °C で作製した BST 薄膜の RuO₂ 電極上の各部(●A～●F で記載)における電子線回折像を示す。RuO₂ 上面(点 A)や上端(点 B)、側壁(黒いコントラスト部:点 D)、下端(点 E)、底面(点 F)に堆積した BST 薄膜からの回折像はスポットパターンとなっていることから、これらの BST 薄膜はいずれも結晶化していることがわかる。しかし RuO₂ 側面に堆積した BST 薄膜の白いコントラスト部(点 C)からの回折像はスポットパターンではなく、中心付近にハローが観察される。このような RuO₂ 側壁の

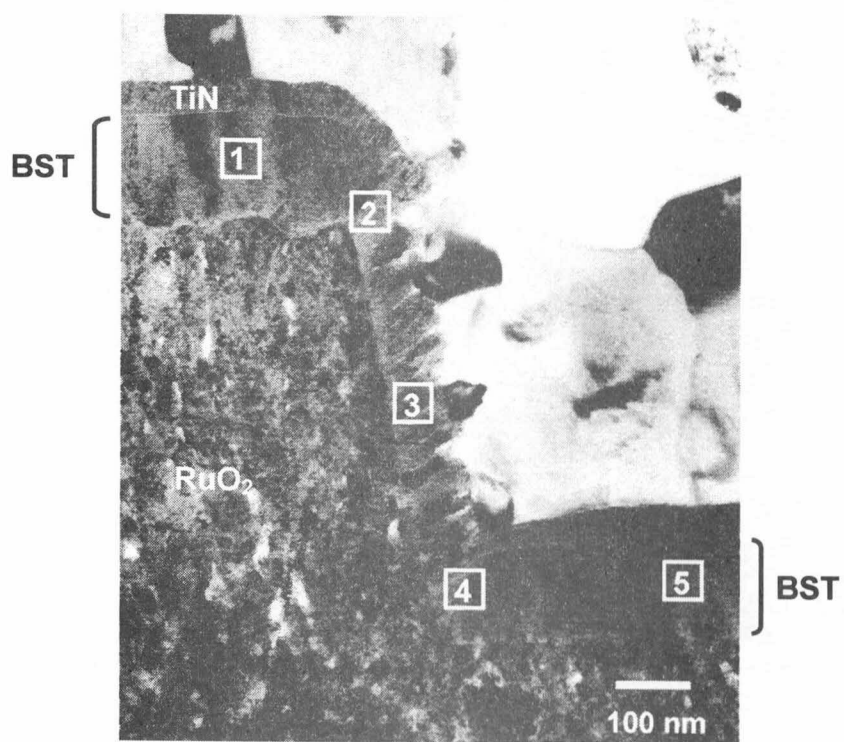
低コントラスト部位では BST の結晶性が低下しているか、あるいは非晶質となっていると考えられる。

次に各部位の組成を局所 EDX により評価した。電子線が複数のグレインにまたがるように、電子線の照射領域を比較的大きく取って分析した結果を図 4.16(a)に示す。分析領域を図 4.14 の□の中に番号を記した領域で示す。RuO₂ 側面の BST はそれ以外の部位と比べて Ti の割合がわずかに大きい。また 650 °C 成膜の試料においては、RuO₂ 側面および下端の BST 薄膜中に Ru の存在がわずかに認められた。より詳細に組成を調べるためにビーム径を 1 nm 程度まで絞って、BST のグレイン内部と粒界を区別して測定した。分析位置は図 4.14 の□で示した部位の内部である。特に Ru と N の不純物に関する分析結果を図 4.16(b)に示す。基板温度 650 °C では、RuO₂ 上面や底面の BST においても Ru が 2~3 %程度粒界へ拡散しているという結果が得られた。また RuO₂ 側面の BST では 7 %程度の混入が認められた。したがって、基板温度 650 °C の BST 薄膜において、RuO₂ 加工面上でリーク電流が増加したのは、これらの RuO₂ 側面の BST 内に拡散した不純物 Ru の影響ではないかと考えられる。また N は上部電極 TiN からの拡散であると考えられる。650 °C での成膜中においては、粗なグレイン構造を有する RuO₂ 側面の BST 薄膜中に向かって、下部電極側からは Ru が拡散し、その後の上部電極成膜時に N が拡散すると思われる。また RuO₂ 側面の BST 組成が Ti リッチであることも上部電極 TiN 成膜時の Ti の拡散である可能性が高い。一方、基板温度を 500 °C に低下させると、図 4.13 に示すように、Ru や N の拡散が抑制されてリーク電流が減少すると推測される。

以上の結果をまとめる。rf スパッタ法により作製した BST 薄膜の RuO₂ 側面での誘電率は、RuO₂ 上面の場合と等しいことが明らかとなったが、薄膜のグレイン構造の顕著な違いにより、リーク特性が劣化すること、基板温度を低下させて RuO₂ との拡散反応を抑制することが重要であることがわかった。基板温度を低温化すれば、BST の誘電率も低下するので、単位面積あたりの容量を向上させるためには、BST の膜厚をさらに薄膜化することが必要である。次節では、低温で段差被覆性に優れる CVD 技術について述べる。

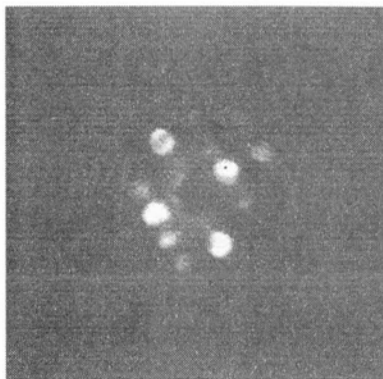


(a) BST 650 °C 成膜

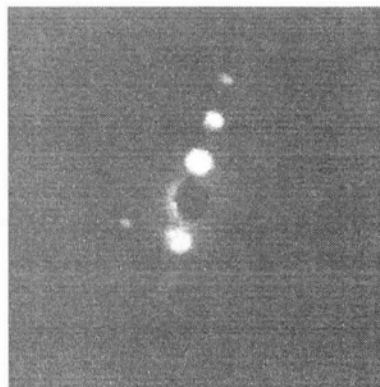


(b) BST 500 °C 成膜

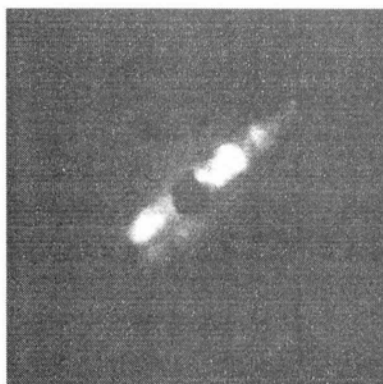
図 4.14 Patterned キャパシタの断面 TEM 写真と分析位置



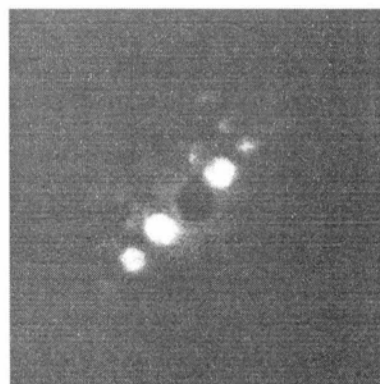
点Aにおける回折像



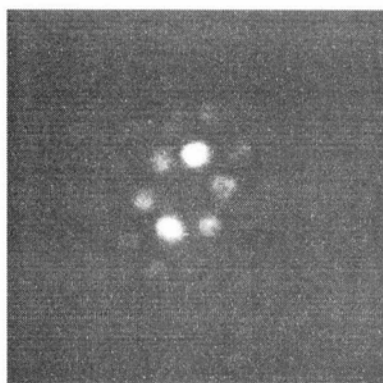
点Bにおける回折像



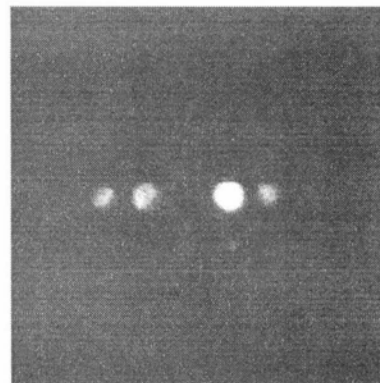
点Cにおける回折像



点Dにおける回折像

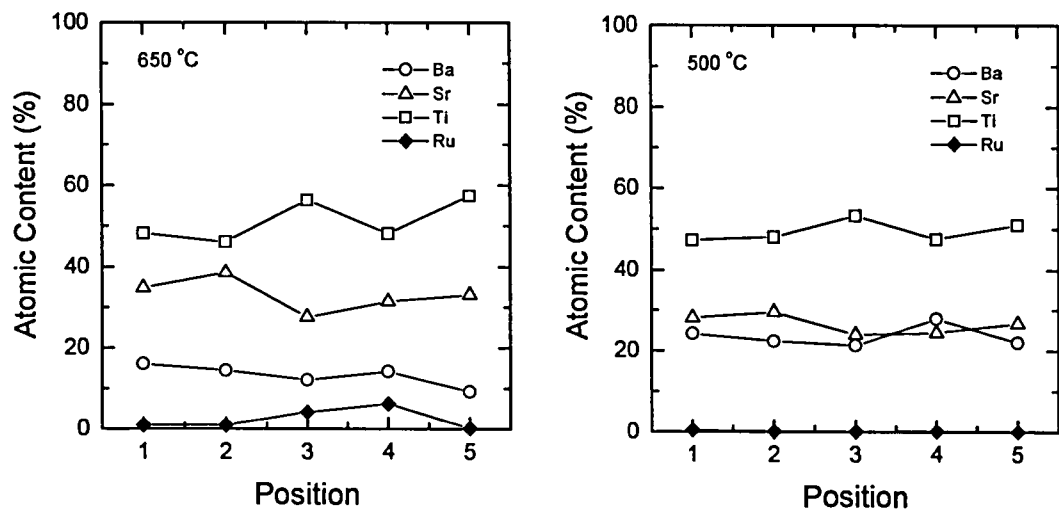


点Eにおける回折像

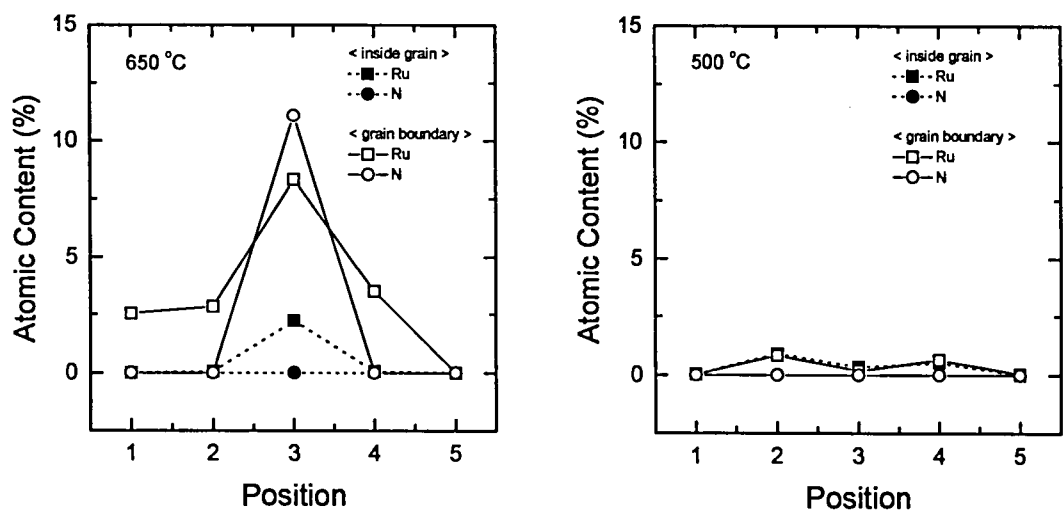


点Fにおける回折像

図 4.15 BST 薄膜部分からの制限視野電子線回折像



(a) 主成分の分析



(b) Ru と N のグレイン内部と粒界における点分析結果

図 4.16 加工面上キャパシタの BST 薄膜部分からの局所 EDX 分析結果

4.3 ECR プラズマ MOCVD 法による(Ba,Sr)TiO₃ 薄膜の作製と 立体型キャパシタへの適用

4.3.1 ECR プラズマ MOCVD 法の特徴

本節では、良好な段差被覆性が期待できる CVD 法によって BST 薄膜を作製した結果と、RuO₂を下部電極として用いた立体型微細キャパシタの試作結果について述べる。CVD 法は LSI プロセスにおいて欠くことのできない成膜手法であり、poly-Si や SiO₂ 系の層間絶縁膜、及びキャパシタ絶縁膜である Si₃N₄ の成膜に広く用いられている。最近では配線プロセスにおいても微細なコンタクトホールを埋め込むために TiN/Ti 系の CVD が開発されつつある。しかしながら、BST や PZT のようなペロブスカイト型酸化物薄膜に関しては、容易に取り扱える温度範囲内で十分高い蒸気圧を有する適当な原料が存在しないため、再現性と安定性に優れた CVD 装置の開発が難しい。特に Ba や Sr といったアルカリ土類金属に対しては、蒸気圧が高く、かつ安定な原料は現時点では存在せず、各原料メーカーにおいて鋭意研究されている段階である。

現在、その中でも最も一般的に用いられているのが Dipivaloylmethanato(DPM)錯体と呼ばれる有機金属系の原料である。したがって、BST 薄膜の CVD に関する報告例は有機金属を用いた MOCVD 法がほとんどである。図 4.17 に Ba(DPM)₂ や Sr(DPM)₂ の分子構造を示す。Ba(DPM)₂ や Sr(DPM)₂ は室温において白色の固体粉末であり、それぞれ Ba 金属や Sr 金属にベンゼン環を主体とする有機分子が結合した構造となっている。室温での蒸気圧は 10⁻¹⁰ Torr 台と非常に小さい。また空気中の水分や CO₂ と容易に反応して分解し、Ba や Sr の酸化物や炭酸塩となってしまう。図 4.18 に高誘電率薄膜の研究分野に関連した有機金属原料の蒸気圧曲線を示す^[5]。Ba(DPM)₂ や Sr(DPM)₂ の蒸気圧は、他の Ti や Pb、Ta、Ru、Bi 等の有機金属よりも少なくとも 2 桁以上、蒸気圧が小さいことがわかる。CVD 原料に関してのみ考えれば、BST 系薄膜よりも PZT 系薄膜のほうが、Pb の蒸気圧が高い分だけ装置開発が容易である。

したがって、BST 薄膜の CVD 成膜に必要な 0.1 Torr 程度の蒸気圧を得るためには、Ba や Sr の固体原料の入った容器を恒温槽にて 200 °C 以上に加熱し、固体原料を昇華させて輸送する必要がある。しかしこれらの原料の融点が 220~230 °C 程度であるため、加熱中に温度がオーバーシュートすると粉末が溶解して表面積が変化してしまい、輸送量の変動したり急激に低下したりする。そして再び温度を下げても元の粉末状態へは戻らないため、輸送量も増加しない。原料容器内でうまく昇華させることができて、その後の装置の配管をすべて 200 °C 以上でかつ約 250 °C

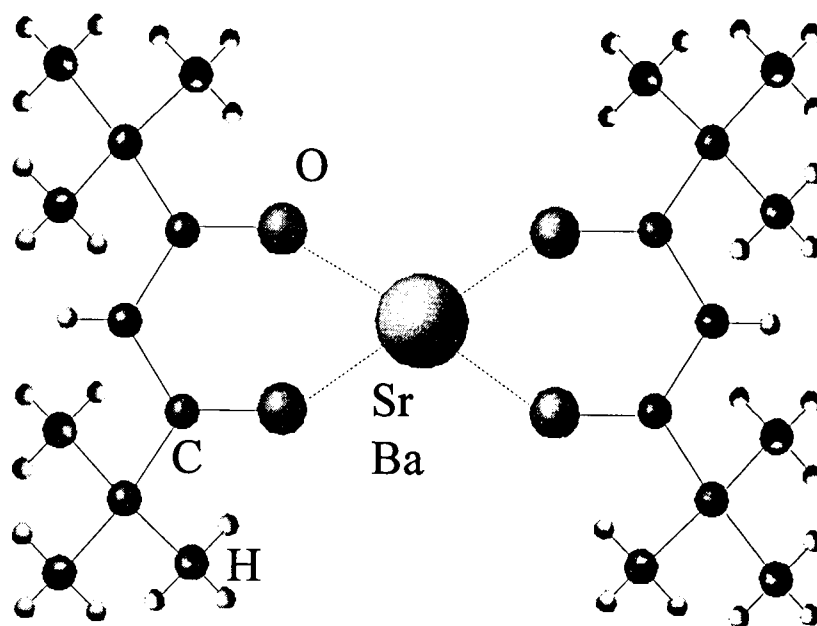


図 4.17 Ba(DPM)₂ 及び Sr(DPM)₂ の分子構造

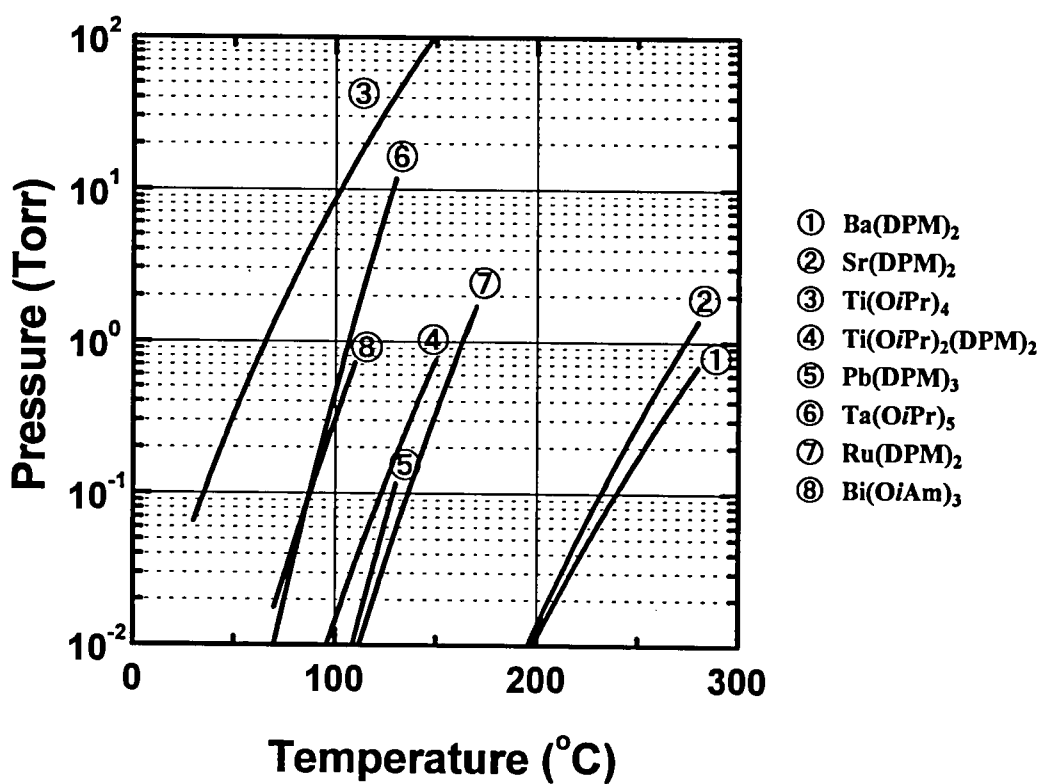


図 4.18 ペロブスカイト型酸化物薄膜用の MOCVD 原料の蒸気圧

以下に制御しなければならず、1 カ所でも温度が低下した部分が存在すると、その場所に原料の堆積が生じる。また 200 °C 以上の高温で動作が保証されたバルブやマスフローコントローラも、ここ 1~2 年でようやく開発されてきたところである。以上述べたような様々な問題点が現在でも残っており、バルブ等の部品そのものの改良も継続的に行われている。一方で、固体昇華輸送が難しいならば、Ba(DPM)₂ や Sr(DPM)₂ などの原料をテトラヒドロフラン(THF)などの有機溶媒に溶解させ、液体の形態で流量を制御してチャンバー近傍まで輸送し、気化器で原料と溶媒を同時に気化してウエハに吹き付ければ良いというコンセプトで、液体輸送型の CVD 技術も研究されている^[6-8]。この方法では恒温槽や配管の加熱が必要でないため装置構成が簡略化でき、溶媒に溶解させて CVD 原料を輸送するため、気化した状態よりも多量の原料を輸送できるというメリットがある。しかし、原料と溶媒を気化する部分(気化器)に技術的な難点が集中し、目詰まりや故障を起こしやすいと言われている。これら 2 つの原料輸送方式を比較した結果を表 4.5 にまとめる。本研究で用いた固体昇華輸送型は、有機溶媒を用いておらずアルゴン等のキャリアガスによって原料を輸送するため、成膜チャンバー内における有機不純物が少なく、また複雑な構造の気化器が不要であるというメリットがある。

表 4.5 原料輸送方式の比較

	利点	欠点
固体昇華輸送	<ul style="list-style-type: none"> ・有機不純物が少ない。 ・原料中の不純物も蒸気圧が小さければ輸送されない。 ・気化器が不要で、いったん高温に保持すれば安定。 	<ul style="list-style-type: none"> ・恒温槽と配管をすべて高温に保持する必要がある。 ・輸送量が比較的少ない。
液体輸送	<ul style="list-style-type: none"> ・低蒸気圧の原料も輸送できる。 ・装置の大部分が加熱不要。 ・輸送量が比較的多い。 	<ul style="list-style-type: none"> ・溶媒等の有機不純物が多く、原料中の不純物も全て輸送される。 ・複雑な構造の気化器が必要で、気化器の安定性が悪い。

BST 薄膜に関して残る一つの元素である Ti の有機金属原料には、本研究では Ti(*i*-O₃H₇)₄を用いた。蒸気圧曲線を図 4.18 中に示す。この原料は Ba(DPM)₂ や Sr(DPM)₂ とは異なり、室温で液体であって比較的高い蒸気圧を有するため、一般的なバブリング法により容易に原料ガスの輸

表 4.6 BST 薄膜の作製条件

MO sources	Ba(DPM) ₂	Solid at 200 °C
	Sr(DPM) ₂	Solid at 190 °C
	Ti(<i>i</i> -OC ₃ H ₇) ₄	Liquid at 35 °C
Oxydant	O ₂ ECR plasma	
Substrate temperature	450 - 500 °C	
Pressure	7 - 9 mTorr	
Plasma power	750 W	

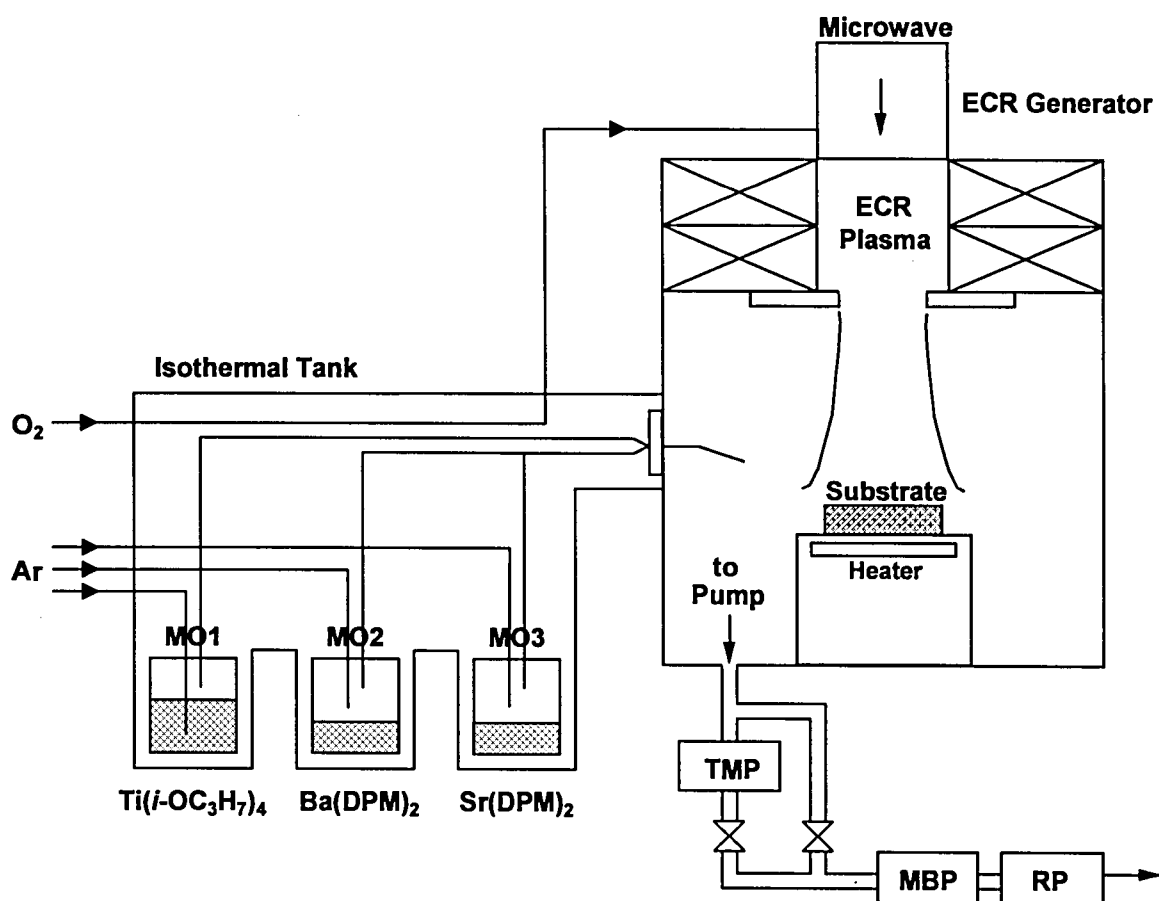


図 4.19 (Ba,Sr)TiO₃ 薄膜用の ECR-MOCVD 装置

送を行うことができる。

次に CVD の成膜方式について述べる。図 4.19 に本研究で用いた CVD 装置図を示す。有機金属原料は 3 つの容器にそれぞれ充填され、恒温槽によって表 4.6 に示す温度に加熱され、キャリアガス Ar によってチャンバーの基板付近に導入される。原料容器からチャンバー内の吹き出し口までは前述のように 200～250 °C の温度範囲に制御されている。Ba と Sr の供給量を変化させるには、Ar キャリアガスの流量を変化させる方法と、CVD 原料容器の温度を変化させる方法の 2 つがあるが、本研究では主に後者の原料容器の温度を変化させる方法を用いた。Ti の供給量を変化させるには、上記のガス流量や容器温度を変化させる方法の他に、圧力コントロールバルブを調整することにより原料容器内の全圧力を変化させる方法がある。本研究では、最も簡便な容器内全圧力を変化させる方法を採用した。本装置のもう一つの特徴は O₂ ガスを ECR マイクロ波プラズマによって活性化して基板に供給できる点である。ECR プラズマは高密度プラズマの一種であり、活性な原子状酸素や酸素ラジカルによって、低基板温度において結晶性の良好な薄膜を作製することができる。本研究においても、BST 成膜後に特別な熱処理を施すことなく、as-depo の状態で良好な電気特性を得ることが可能となっている。成膜時の圧力は 7～9 mTorr であり、通常の熱 CVD に比べて高真空下での成膜となっている。

BST 薄膜の作製を目的とした熱 CVD 法でも、同じ有機金属原料が用いられ、酸素は O₂ ガスの状態で基板に供給される。有機金属原料の分解やそれらの酸化反応は基板からの熱エネルギーによって起こる。表 4.7 に ECR プラズマ CVD 法と熱 CVD 法の比較を示す。ECR プラズマ CVD 法は低温で高品質の結晶膜が作製できる点が優位点であるが、基本的に薄膜の堆積が表面反応律速ではなく原料供給律速で行われることや、活性な酸素プラズマが基板上方から方向性をもって基板に到達することなどのため、100% 近い完全な段差被覆率を得ることは難しい。逆に、熱 CVD 法は、表面反応律速による 100% 近い段差被覆率が優位点であるが、有機金属原料の分解を基板の熱エネルギーだけで行う必要があり、基板温度の低温化や、段差内における組成の均一性の点でまだ検討すべき課題が残されている。

表 4.7 成膜手法の比較

	利点	欠点
ECR プラズマ CVD	<ul style="list-style-type: none"> ・低基板温度で高品質の薄膜を作製できる。 ・表面モフォロジーが平坦。 	<ul style="list-style-type: none"> ・段差被覆率が 50 %程度。 ・大口径化がプラズマ源に依存する。
熱 CVD	<ul style="list-style-type: none"> ・100 %近い段差被覆率が得られる。 ・バッチ処理も可能であり、スループットが大きい。 	<ul style="list-style-type: none"> ・ある程度高温の基板温度が必要である。 ・結晶成長による荒れた表面モフォロジーになりやすい。

4.3.2 平坦電極上における CVD-(Ba,Sr)TiO₃ 薄膜の特性

平坦電極上に ECR プラズマ MOCVD 法(以下 ECR-CVD 法と略す)により作製された BST 薄膜について述べる。まず基礎的な BST 薄膜の特性を調べることを目的として、下部電極及び基板に Pt(50 nm)/TaO_x(100 nm)/Si を用いた結果が曾祢達によって報告されている^[9]。基板温度 450 °C の比較的低温において as-depo の状態ですでに BST の結晶化を示す XRD ピークが観察され、500 °C においてバルクセラミクスとほぼ等しいピーク強度比が得られている。ECR プラズマにより活性化された O₂ によって、このように低基板温度、as-depo の状態で BST の結晶化が実現できたとされている。その後、Y.Kato 達によって (Ba+Sr)/Ti 比と Ba/(Ba+Sr) 比が電気的特性へ及ぼす影響について報告がなされた^[10]。基板温度 500 °C、膜厚 60 nm の BST 薄膜に対し、誘電率は IBS 法の場合と異なり、ストイキオメトリからやや B サイトリッチ側で最大となるとされている。リーク電流は IBS 法と同様に B サイトリッチ側で小さく、3 %以上 A サイトリッチとなると急激に増加する。したがって、ECR-CVD 法における 500 °C 成膜の BST 薄膜に関しては、最適な (Ba+Sr) /Ti 比は約 0.95~0.98 であることが明らかとなった。IBS 法による BST 薄膜と比較して、誘電率が最大となる (Ba+Sr)/Ti 比が異なる理由は明らかではないが、他の CVD 手法による BST 薄膜では、やはりわずかに B サイトリッチの組成において誘電率が最大となるという報告がある。(Ba+Sr)/Ti 比を 0.95 に固定して BST 膜厚をさらに 30 nm と薄膜化し、Ba/(Ba+Sr) 比を変化させた場合、誘電率は Ba/(Ba+Sr) 比が 0.4 付近で最大値を示す。リーク電流は Ba/(Ba+Sr) 比の増加に伴い上昇したが、30 nm という薄膜においても、Ba/(Ba+Sr) 比 0.4 において 10⁻⁷ A/cm² 台の小さなリーク電流が得られている。これらの結果より ECR-CVD 法による 500 °C 成膜の BST の最適な組成としては、30~

60 nm の薄膜領域において、(Ba+Sr)/Ti 比は 0.95、Ba/(Ba+Sr)比は 0.40 であることが明らかとなった。

以上の Pt 電極上での特性の最適化を踏まえて、本研究では BST 薄膜を RuO₂ 電極上に作製しその誘電率の膜厚依存性を調べた。下部電極及び基板は RuO₂(500 nm)/Ru(50 nm)/TiN(50 nm)/TiSi_x(30 nm)/Si であり、上部電極は Al(1 μm)/TiN(50 nm)である。図 4.20 に BST 薄膜と、やはり ECR-CVD 法により基板温度 450 °C で作製した SrTiO₃ 薄膜の誘電率の膜厚依存性を示す。図 4.21 には膜厚 30 nm における BST 薄膜と SrTiO₃ 薄膜の容量の周波数依存性の比較結果を示す。SrTiO₃ 薄膜の場合は基板温度が 450 °C であるため、誘電率は膜厚 100 nm を越えても 100 程度であり、ほとんど増加しない。BST 薄膜の場合は基板温度が 50 °C 高い結果であるが、膜厚の増加に伴い 400 を越える高誘電率が RuO₂ 上でも得られている。容量は測定周波数の 1MHz までほぼ一定であり、顕著な緩和型の周波数分散は見られない。この BST 薄膜の SiO₂ 換算膜厚 (teq) は 0.59 nm であり、第 2 章で述べた IBS-BST 薄膜を凌ぐ小さな teq 値が 500 °C という低基板温度の as depo 状態で RuO₂ 電極上に実現された。

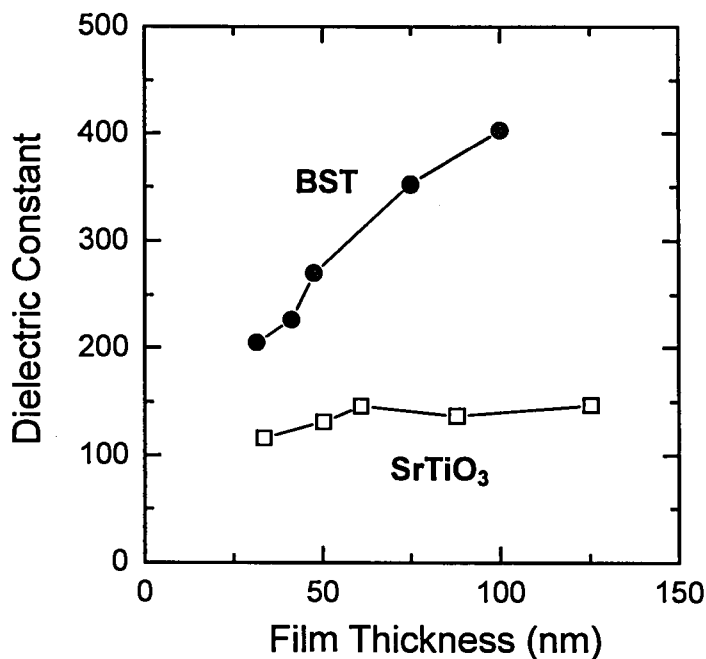


図 4.20 ECR-MOCVD 法により作製した BST と SrTiO₃ の誘電率の膜厚依存性

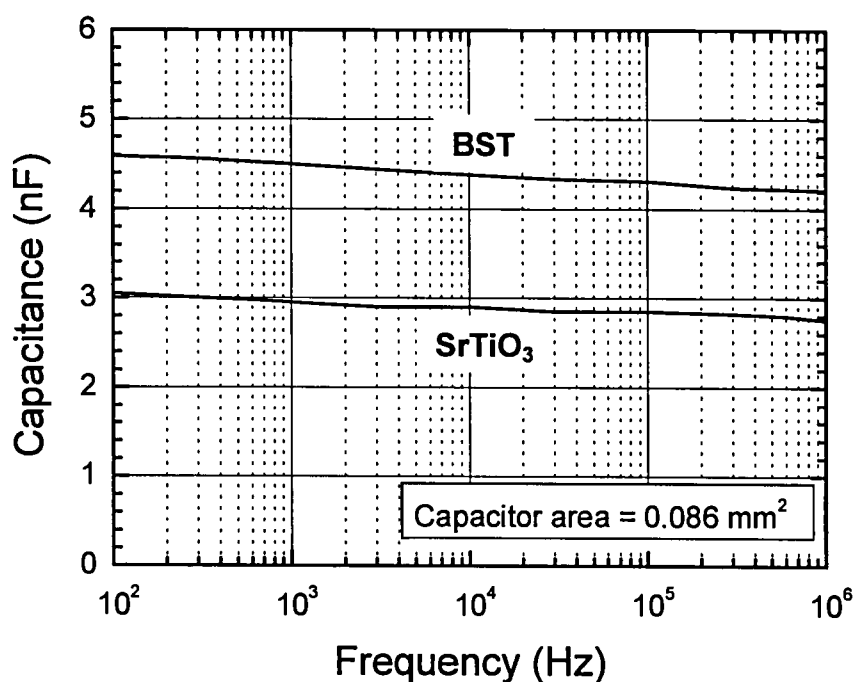


図 4.21 ECR-MOCVD 法により作製した BST と SrTiO₃ の容量値の周波数依存性

4.3.3 立体型キャパシタの作製

以上より、ECR-CVD 法により RuO₂ 電極上に良好な電気的特性の BST 薄膜が作製できることがわかったので、RuO₂ を微細加工して立体型のキャパシタアレイを作製した。プロセスフローと断面構造を図 4.22 に示す。これは実際の DRAM セルキャパシタを模した構造であり、下部電極は層間絶縁膜の SiO₂ 中に形成された poly-Si プラグによって Si 基板と接続されている。作製プロセスを順に説明する。まず低抵抗 Si 基板の表面に熱酸化により層間絶縁膜 SiO₂ を 300 nm 形成する。次に 0.8 μm 径の容量コンタクトホールを作製し、poly-Si を成膜し不純物を拡散して低抵抗化した後、第 3 章で述べた CMP 法により層間絶縁膜内に埋め込む。次に Si の拡散バリアとして作用する TiN(50 nm)/Ti(30 nm)を dc スパッタ法により成膜した後、N₂ 中、700 °C、30 秒の Rapid Thermal Annealing(RTA)処理を行う。これは Ti と poly-Si のコンタクト抵抗を低減することが目的であり、poly-Si プラグと接する Ti は TiSi_x に、層間絶縁膜上の Ti は TiN へと変化する。次に RuO₂ (500 nm)/Ru(50 nm)を dc スパッタ法により成膜し、SOG ハードマスクを塗布する。そして下部電極を微細加工するため電子ビーム(EB)または光露光によりレジストパターンを形成する。本研究では電気的特性を評価するパターンには光露光を用い、実際の 1GbitDRAM のサイズ上での段差

被覆性と側面の結晶性評価のためには EB リソグラフィーを採用した。続いて SOG/RuO₂/Ru/TiN 構造を同一エッチング装置内で in-situ 連続エッチングを行って微細アレイに加工した。この in-situ 連続エッチングについては詳細を後述する。その後 ECR-CVD 法により BST 薄膜を RuO₂ 上面で 85 nm となるように成膜した。最後に上部電極として Al(1 μm)/TiN(50 nm)を dc スパッタ法により成膜し、RIE により 2500 個の下部電極アレイを覆う形状に加工した。作製したキャパシタアレイの 1 ビットの断面 SEM 写真と構造図を図 4.23 に示す。界面での顕著な拡散などが見られず、設計膜厚どおりの積層構造が形成されており、BST 薄膜の段差被覆性は 40~50 %であることがわかる。

今回用いた RuO₂/Ru/TiN/TiSi 電極はそれぞれ以下の 2 つの役割を果たしている。まず TiN は BST 成膜中の Si の拡散バリアであり、500 °C の基板温度での Si の拡散を抑制することができる。TiSi_xは前述のように Si と TiN の接触抵抗の低減と剥離の防止層として働く。RuO₂は下部電極であると同時に酸素 O の拡散バリアとしても働く。この時、RuO₂を直接 TiN 上に成膜すると、TiN の表面が酸化されて低誘電率層を形成するが、Ru を挿入することで TiN の表面酸化を抑制している。このように各層が Si や酸素の拡散バリアとして機能し、RuO₂/Ru 層が下部電極として、TiN/TiSi_x層がバリアメタルとして作用している。TiN 層の側面と BST 界面では、図 4.23 よりわずかに TiN 層側面が膨張しているのがわかる。これは TiN 層側面の最表面が BST 成膜時に酸化されたためであるが、容量ポリシリコンタクト直上は TiN/TiSi_xの柱状グレイン構造が明瞭であり、Si 基板と良好な電氣的接合を保持していることが後述の電氣的特性の評価結果からわかる。

この 4 層下部電極の in-situ 一括加工について図 4.24 を用いて説明する。まずリソグラフィーが終了した試料を、図 4.2 に示した ECR-RIE 装置に導入し、CHF₃ ガスによりフォトリソをマスクに用いて SOG をエッチングする。次に同一チャンバー内で連続して、O₂/Cl₂ の混合ガスにより SOG をマスクにして RuO₂/Ru を加工するが、この時のエッチングガスの主成分が O₂ であるため、SOG 上部に残ったフォトリソも同時にエッチング除去される。次に Cl₂ ガスにより、表面に露出した RuO₂をマスクにして TiN をエッチングする。図 4.3 に示したように、RuO₂は Cl₂ ガスによってほとんどエッチングされないため、エッチングマスクとして十分作用する。しかし Cl₂ ガスに曝された RuO₂ 表面及び側面には、Ti の塩化物を主成分とする反応生成物がわずかに堆積する。そこで弱い O₂ プラズマ処理を施すことによって RuO₂ 表面の堆積物を除去する。これらの加工プロセスを経た RuO₂ 上面での BST 薄膜の電氣的特性は、図 4.20 に示した何も加工プロセスを経ない平坦 RuO₂ 面上と同じであることも確認した。

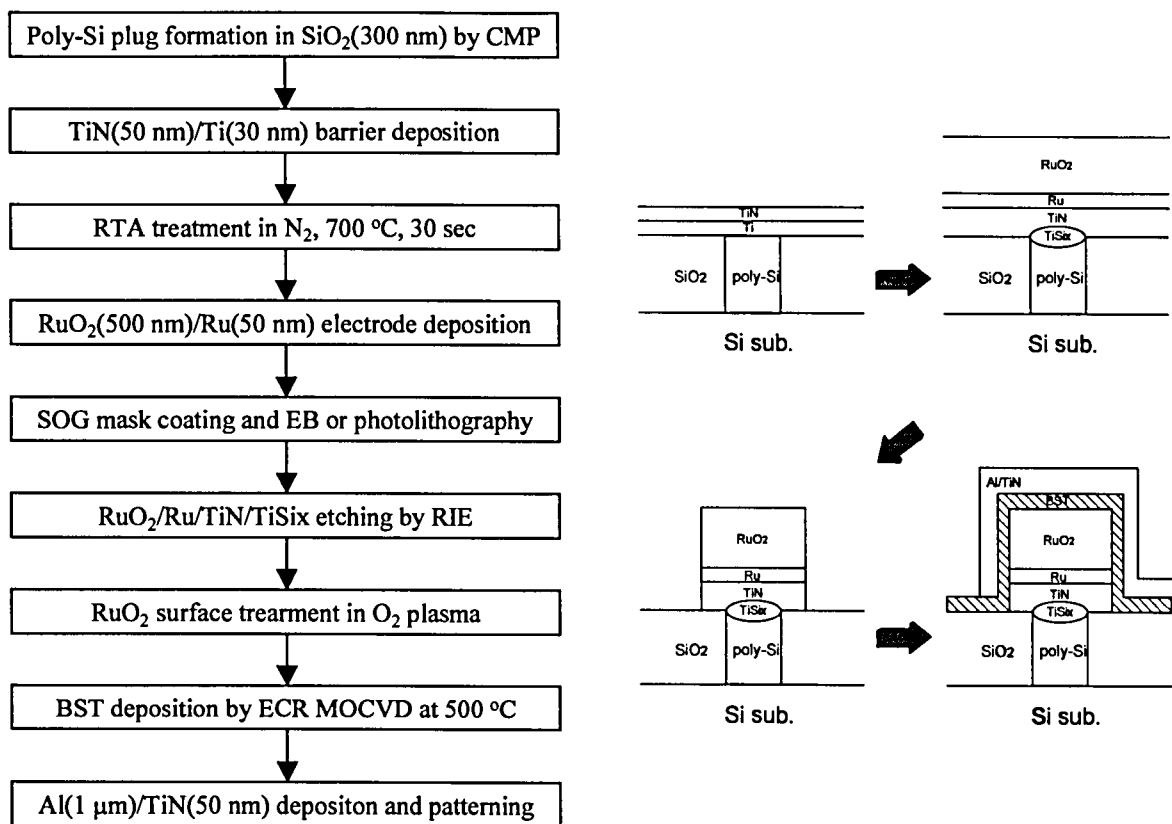


図 4.22 立体型キャパシタの作製プロセスフロー

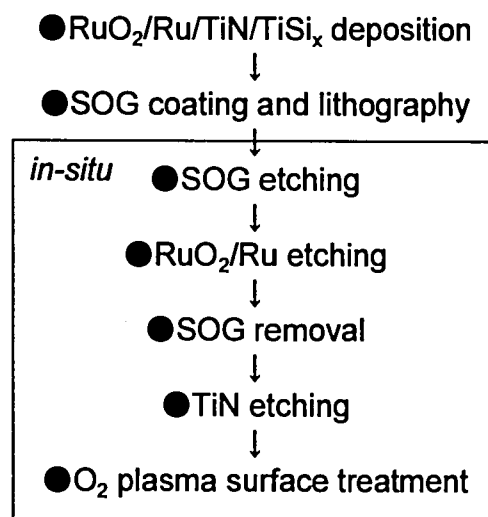


図 4.24 $\text{RuO}_2/\text{Ru}/\text{TiN}/\text{TiSi}_x$ 電極の加エプロセスフロー

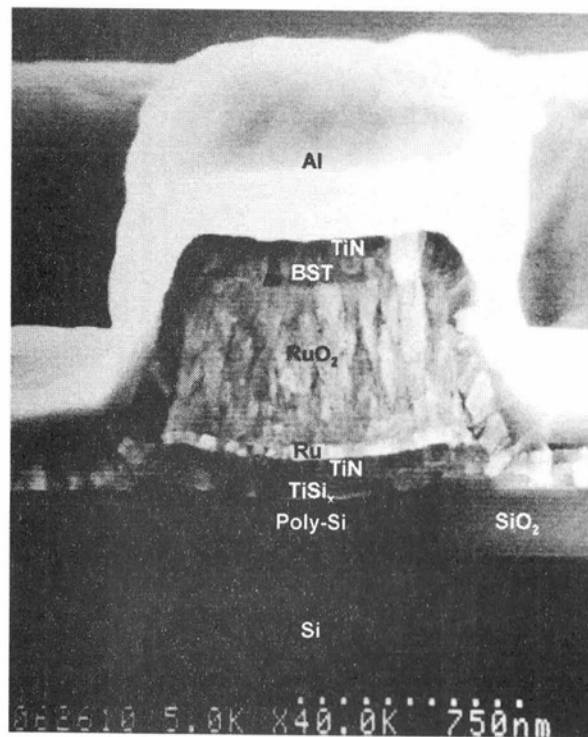
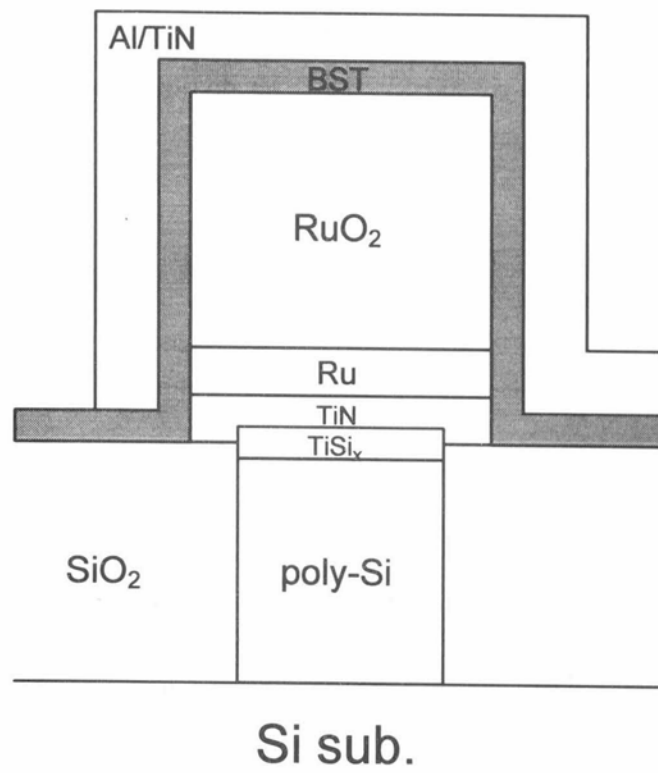


図 4.23 立体型キャパシタの断面 SEM 写真

BST 成膜後に BST/RuO₂/Ru/TiN/TiSi_x 構造の AES 分析を行った結果を図 4.25 に示す。各層毎にシャープな界面が観察され、顕著な相互拡散などは見られない。特に Ru/TiN/TiSi_x/Si 層内での顕著な酸素の拡散も見られていない。

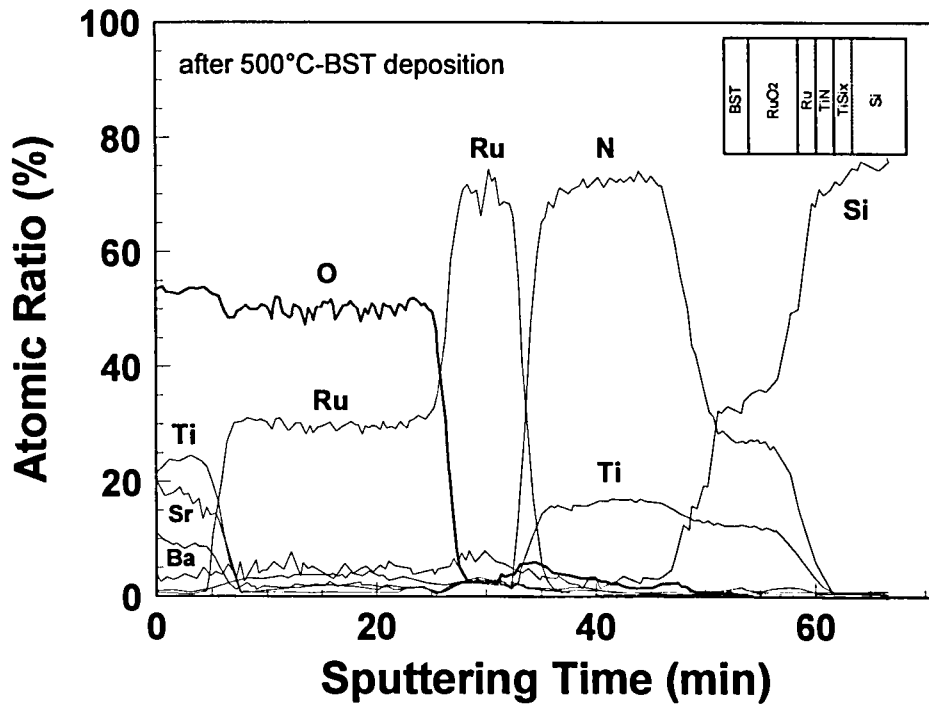


図 4.25 BST/RuO₂/Ru/TiN/TiSi_x 構造の AES 分析結果

4.3.4 RuO₂ 側面における CVD-(Ba,Sr)TiO₃ 薄膜の特性

RuO₂ 平坦面上と加工面上における測定容量値の比較結果を図 4.26 に示す。第 2 章と同様に、平坦面上の特性を評価するときは、下部電極として RuO₂ 上面をプロービングし、加工面上の特性を評価するときは Si 基板裏面をプロービングした。加工面上の SEM 観察より、この時の RuO₂ 上面における BST 膜厚は 85 nm であり、側面では約 34 nm であることが確認された。図 4.26 の測定周波数範囲内において、加工面上では平坦面上の 1.5 倍の容量増加が見られる。3-1 節と同様に、この容量増加は RuO₂ 側面に堆積した BST 薄膜の寄与成分である。平面投射面積を一定にして、側面積を変化させた場合の測定容量値の変化を図 4.27 に示す。側面積と容量値は良好な線形関係となり、この直線の傾き(α)から、以下の(4-2)式により、RuO₂ 側面に堆積した BST の SiO₂ 換算膜厚($t_{eq}(\text{side})$)が計算できる。

$$t_{eq}(\text{side}) = 3.9 \times \epsilon_0 / \alpha$$

…(4-2)

図 4.27 より $t_{eq}(\text{side})$ を求めると 0.65 nm となり、RuO₂ 平坦面上における t_{eq} 値とほぼ等しい値が得られた。次に、RuO₂ 段差上に ECR-CVD 法により基板温度 500 °C で作製した BST 薄膜と 450 °C で作製した SrTiO₃ 薄膜のリーク電流特性を図 4.28 に示す。どちらも RuO₂ 側面における膜厚は 30 nm であり、非常に薄い膜厚であるにもかかわらず、+1 V 時に 10⁻⁶ A/cm² 以下のリーク電流値が得られている。実際の DRAM において、このリーク電流値は要求されるレベルのほぼ上限にあたり、今後さらに低減する必要があるが、微細加工された RuO₂ 電極上の CVD-BST 薄膜により Gbit 級 DRAM のキャパシタを作製することができる可能性を示すことができたと考えられる。

最後に、実際の 1GbitDRAM の設計ルールである 0.2 μm サイズに RuO₂/Ru/TiN/TiSi_x 電極を加工し、その上に ECR-CVD 法により BST 薄膜を作製して断面構造を観察した結果を述べる。図 4.29 に断面を、図 4.30 にビットとビットの間から BST 薄膜側面を観察した SEM 写真をそれぞれ示す。図 4.29 より、横方向のサイズが 0.2 μm、アスペクト比が 5 を越えるような微細な電極アレイ上にも、クラックなどのない BST 薄膜が堆積していることがわかる。ほぼ垂直な RuO₂ 側面における BST 薄膜の被覆率は約 40～50 % であるが、RuO₂ 側面の上端と下端ではほぼ BST 膜厚は一定である。これは ECR 酸素プラズマが基板上方から方向性をもって基板に飛来するため、このような均一な膜厚が実現されたと考えられる。この RuO₂ 側面の膜厚の均一性は、電界集中を防ぎ、キャパシタの信頼性を向上させる意味で好ましい結果であると言える。また図 4.30 より、RuO₂ 側面に堆積した BST 薄膜表面には結晶化したグレイン構造が観察され、粒径は約 30 nm であり、基板温度 500 °C の as depo 状態において 0.2 μm 程度の微細な電極側面でも十分結晶化していることがわかる。

以上の結果より、この BST 薄膜の特性によって Gbit 級 DRAM^[11]に必要な直方体型のキャパシタ高さを計算した結果を図 4.31 に示す。1 セルあたり 25 fF が必要であると仮定すると、SrTiO₃ 薄膜では 0.5 μm、BST 薄膜では 0.3 μm の高さの単純な直方体型のキャパシタ構造により、必要な単位面積あたりの容量が実現できることがわかる。

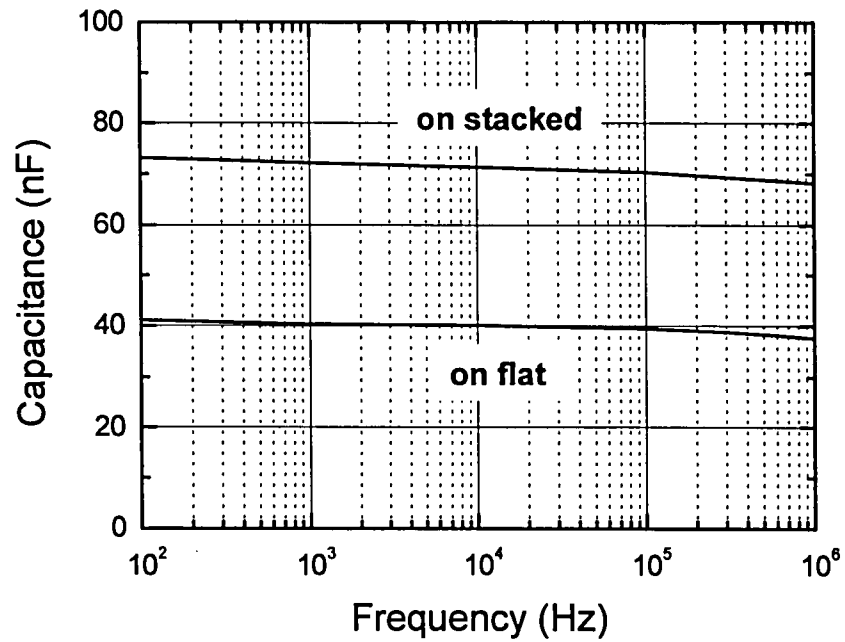


図 4.26 RuO₂ 側面に堆積した BST 膜による容量増加

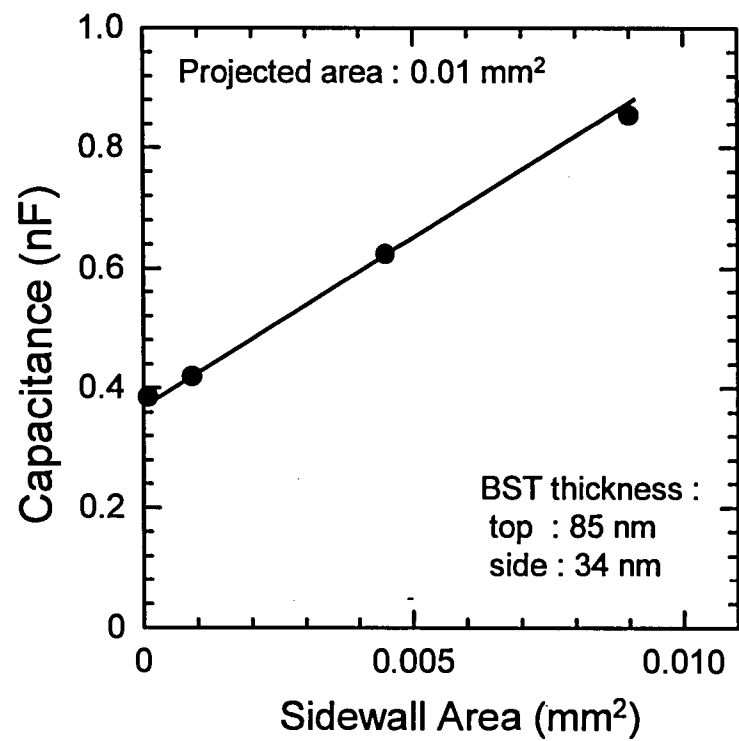


図 4.27 立体型キャパシタにおける容量値の RuO₂ 側面積依存性

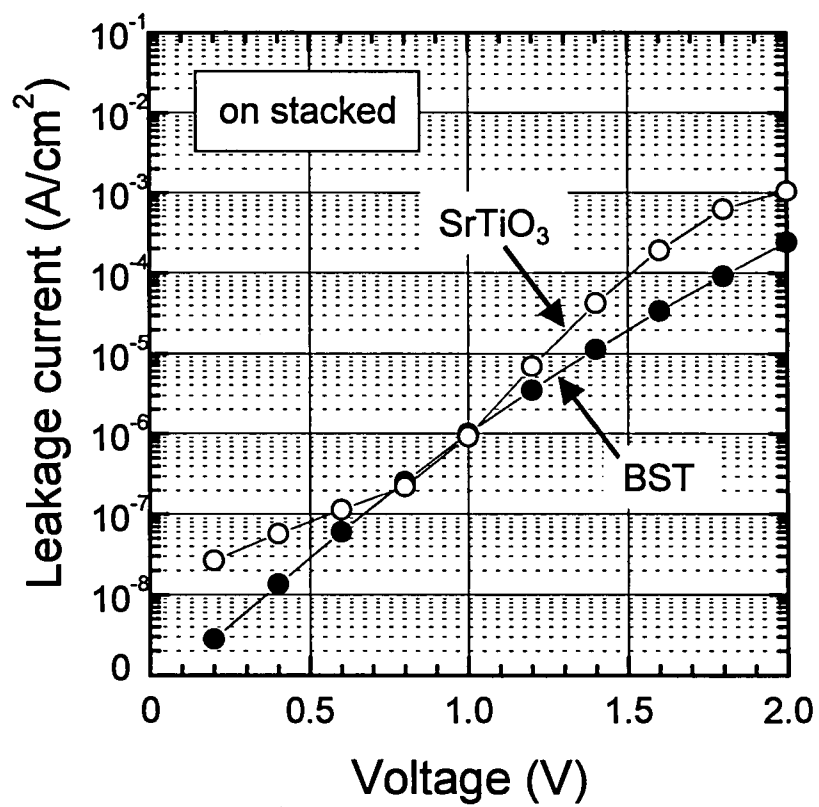


図 4.28 立体型キャパシタにおけるリーク電流特性

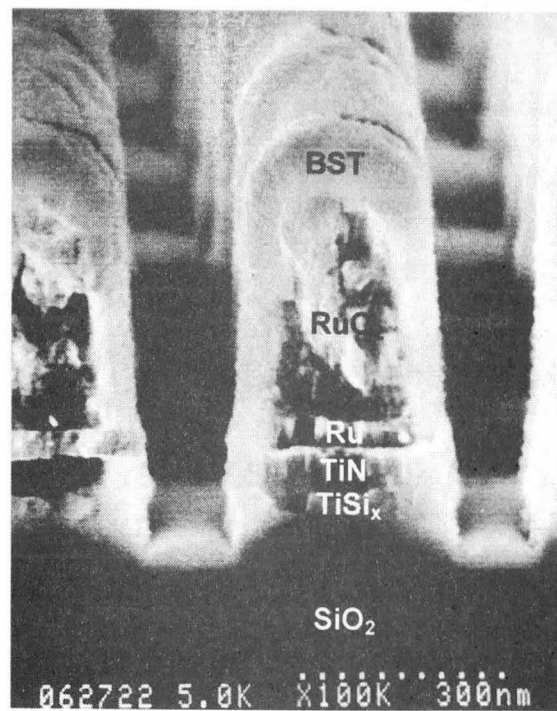


図 4.29 1GbitDRAM サイズに加工した $\text{RuO}_2/\text{Ru}/\text{TiN}/\text{TiSi}_x$ 電極上の BST 膜の断面構造

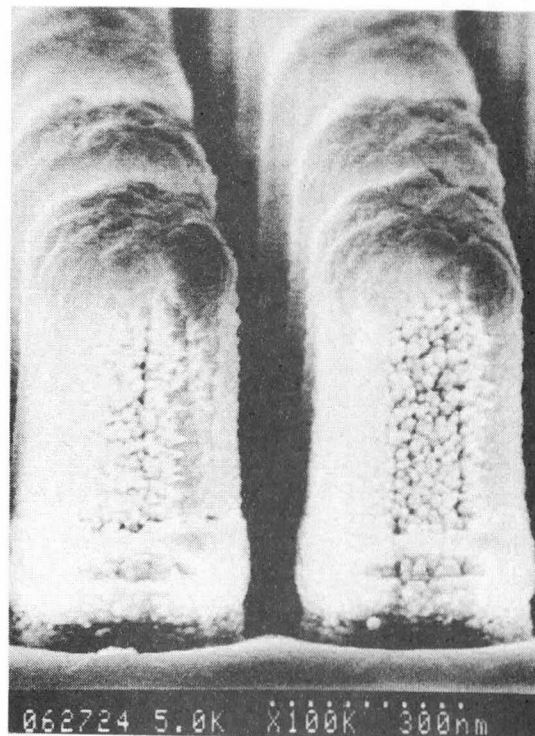


図 4.30 1GbitDRAM サイズに加工した $\text{RuO}_2/\text{Ru}/\text{TiN}/\text{TiSi}_x$ 電極上の BST 膜の側面構造

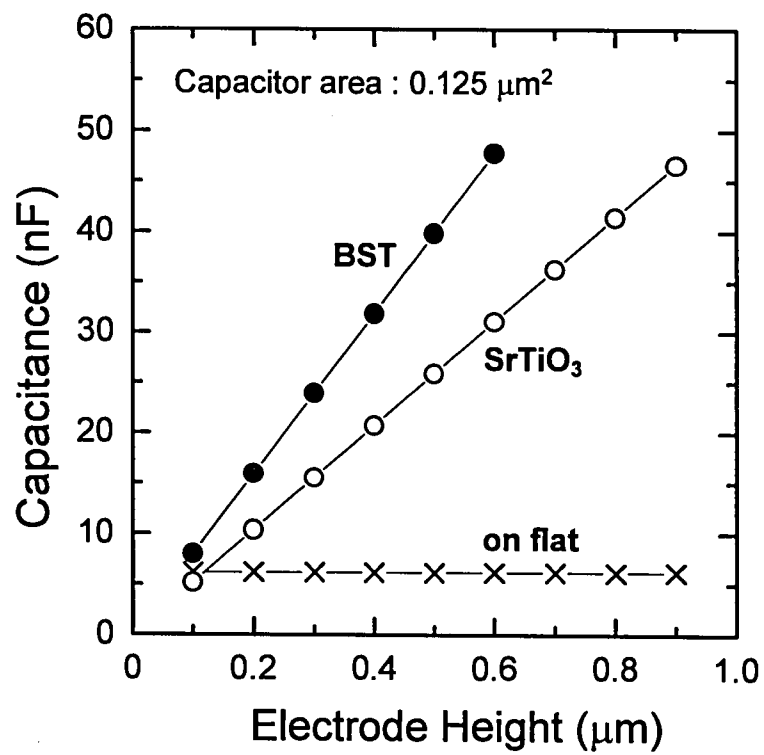


図 4.31 1GbDRAM が必要となる単純スタック型電極の高さ

4.4 Ba 及び Sr 不純物のシリコン基板への汚染の影響

4.4.1 金属汚染評価に関する背景

高誘電率 BST 薄膜を Gbit 級 DRAM に適用するために、BST 薄膜の特性の向上や電極・バリアメタルの検討を行ってきたが、実際に既存の ULSI プロセスラインに BST を導入した場合に、MOS トランジスタなどのデバイスにどのような影響を与えるかはほとんど調べられていない。これまでの ULSI の製造工程における汚染事故としては、黎明期における Na 汚染が有名であり、トランジスタのゲート絶縁膜の短絡を引き起こした。それ以降、新しい材料を導入する際は、関連する不純物が Si 基板にどのような影響を与えるのかを十分検討するようになった。例えば重金属の Fe、Ni、Cr や^[12]、配線材料である W や Ti など^[13]に関し、Si 基板中への拡散の度合いや、少数キャリアのライフタイムに及ぼす影響などについて多数報告例がある。特に少数キャリアのライフタイムは ULSI 製造ラインで日常的にモニタされている物理量であり、Ba や Sr がライフタイムキラーであるかどうかは BST 薄膜をライン導入する際に最も重要な観点であると言える。これまでアルカリ土類元素に関しては Mg や Zn に対していくつかの報告があるのみであり^[14,15]、Ba や Sr が Si 基板にどのような影響を及ぼすのかは不明であった。そこで本研究では BST 薄膜の実用化に向けた基礎的な検討として、Ba や Sr 不純物を強制的に Si 基板に塗布して拡散させる強制汚染の手法により、それらの影響を評価した。さらに、ECR-CVD 法により実際に作製した BST 薄膜と Si ベア基板を同時に電気炉に挿入し高温熱処理を行い、BST 薄膜からの転写汚染が発生するかどうかの検討も行った。

4.4.2 実験方法

基板には CZ 法により作製した p 型 Si 基板(B ドープ、 $11.5 \sim 15.5 \Omega \cdot \text{cm}$)と n 型 Si 基板(P ドープ、 $4.5 \sim 6.5 \Omega \cdot \text{cm}$)を用いた。基板厚さは $675 \mu\text{m}$ で、不純物汚染の影響が顕著に現れるように裏面ダメージの無い低酸素濃度($1.3 \times 10^{18} \text{ cm}^{-3}$)基板を用いた。強制汚染の手順を図 4.32 に示す。まず基板を希フッ酸で洗浄(DHF 洗浄)し自然酸化膜除去を行った後、塩酸過水(HPM 洗浄)により初期的な金属汚染を除去した。次に Ba または Sr 金属イオンを含む溶液をスピコート法^[16]により基板表面に塗布した。溶液には Aldrich 社製の原子吸光用標準溶液を用いた。1 wt%の HCl 溶液中に Ba または Sr 金属が約 1 mg/ml の濃度で存在している。この溶液を超純水で 100、10、1、0.1 ppm の濃度に順に希釈して塗布溶液を作製した。またレファレンス基板として溶液を何も塗布

しない基板も用意した。次にこれらの基板を電気炉で N_2 中、 $950\text{ }^{\circ}\text{C}$ 、4 時間のアニール処理を行い、金属不純物を Si 基板中に拡散させた。実際の DRAM 作製プロセスでは BST キャパシタ作製後にこのような高温長時間のアニール処理は存在しないが、あくまでも金属不純物を Si 基板へ拡散させることを目的に行った。この熱処理中に入炉・出炉時に Si 基板の表面に 5 nm 程度の SiO_2 薄膜が形成された。実験は Fe、Cu、Cr、Ni などの深い準位を形成する重金属汚染が 1 ppb 以下に抑えられるように、十分クリーンな環境を配慮して行った。

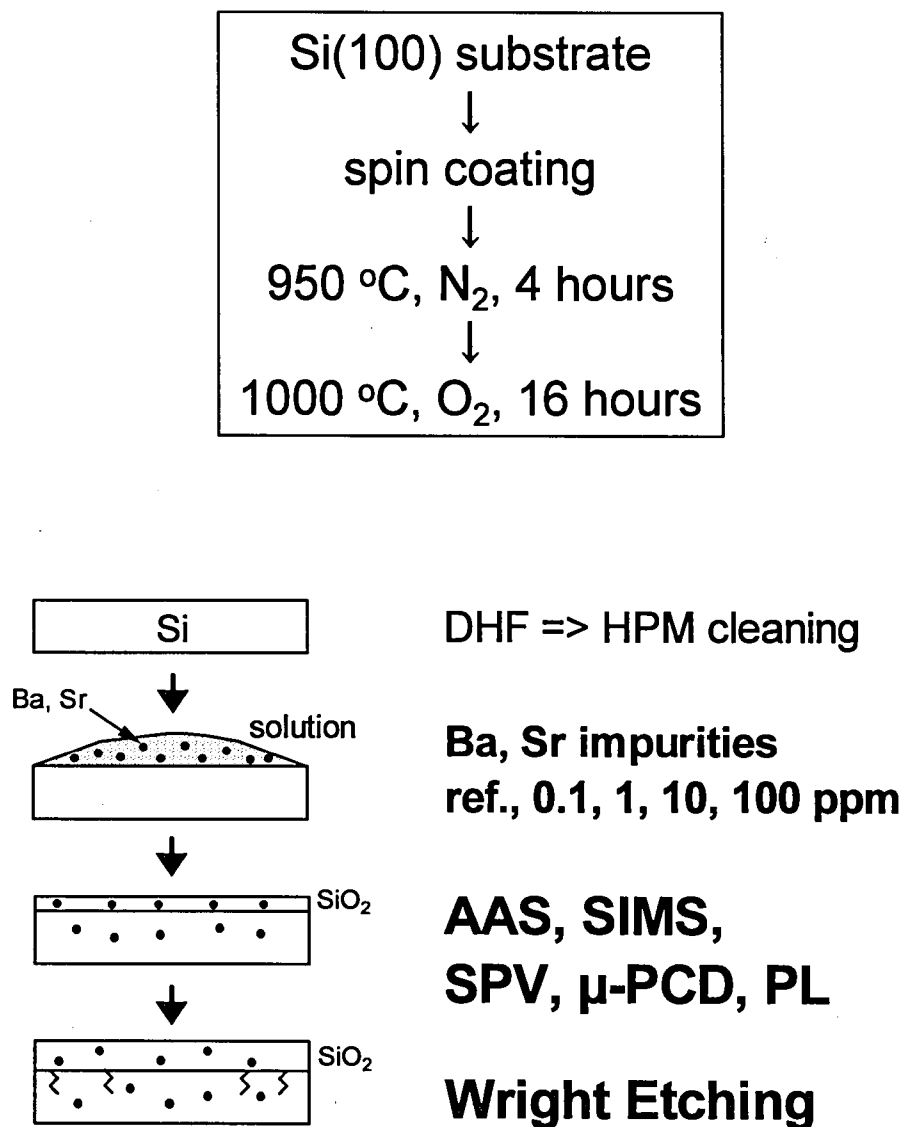


図 4.32 Ba 及び Sr 不純物による強制汚染の実験フロー

まずこの段階で作製した試料に関して以下の評価を行った。表面 SiO_2 層に含まれる Ba や Sr 及び他の不純物(Fe、Cu、Al、Ni、Cr、Na)の濃度は、表面 SiO_2 層を HF 蒸気により回収し、Flameless 原子吸光法(AAS 法)により測定した。Si 基板の厚さ方向の Ba 及び Sr 不純物のプロファイルは SIMS 法により評価した。 SiO_2 層内の全電荷量及び界面準位密度は SemiTest 社製 SCA-2000 を使い、表面光電分析法(SPV)^[17,18]により評価した。Si 基板内の少数キャリアの再結合寿命はマイクロ波光導電減衰法(μ -PCD)^[19,20]により評価し、さらに 4.2 K において Ar(488 nm)レーザーによるフォトルミネセンスを測定することで、不純物による深い準位を形成しているかどうかを評価した。次に、試料に電気炉で O_2 中、1000 °C、16 時間のアニール処理を追加し、結晶欠陥がどのように発生するかを Wright エッチング液により観察した。

転写汚染に関する評価は図 4.33 に示す手順で行った。ECR-CVD 法により基板温度 500 °C で作製した BST 薄膜付きの Si 基板と、前述の塩酸過水で洗浄済みのリファレンス Si 基板を、互いの表面が向かい合うように約 5 mm 程度の間隔をあけて石英トレイに並べ、電気炉にて同時にアニール処理を行った。条件は O_2 中、700 °C、2 時間であり、BST の結晶化条件あるいは層間絶縁膜形成後に想定される最も高温での条件を模している。アニール処理後にリファレンス基板の表面 SiO_2 層と、 SiO_2 /Si 界面から 1 μm の深さまでを別々にエッチングして、ICP 法により分析を行い Ba と Sr が検出されるかどうかを調べた。

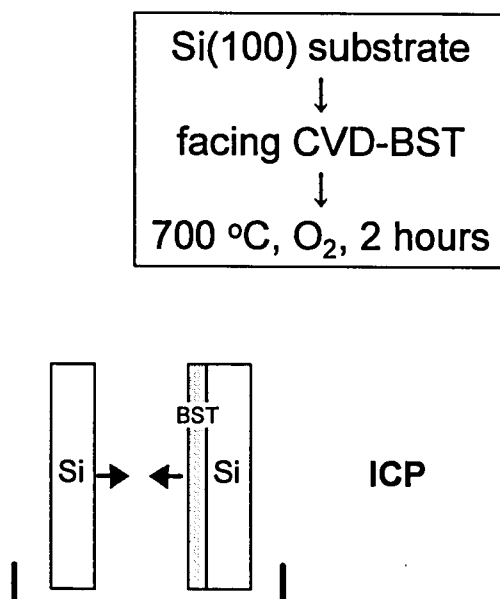


図 4.33 BST 薄膜を用いた転写汚染の実験フロー

4.4.3 強制汚染による影響

図 4.34 に塗布溶液の濃度に対する試料の表面 SiO_2 層内で検出された Ba 及び Sr 不純物の濃度の関係を示す。分析は ICP 法により行った。溶液を何も塗布しないリファレンス基板における Ba 及び Sr の濃度は、分析手法の検出限界以下であった。まず Sr に関しては、0.1 ppm から 100 ppm まで SiO_2 中の不純物量と溶液濃度に線形な関係が得られており、強制汚染の実験としてはほぼ理想的な試料群が作製されていることがわかる。一方、Ba に関しても 1 ppm から 100 ppm までは線形関係が得られているが、0.1 ppm の溶液を塗布した場合のみ、1 ppm 溶液よりわずかに少ないだけの SiO_2 層中への混入量となった。これは Ba 標準溶液を 100 ppm から順に希釈して行く際に、1 ppm から 0.1 ppm への希釈が十分行われなかったためであると推測される。しかし、この試料を用いることで、後述の SiO_2 薄膜中の電荷量の測定においても系統的な結果が得られたので、この試料を含めて以後の評価を継続した。 SiO_2 薄膜中の Ba 及び Sr の濃度は $10^{11} \sim 10^{14} \text{ cm}^{-2}$ であり、強制汚染量としては十分大きな値が得られている。一方、他の汚染元素の濃度を調べた結果を図 4.35 に示す。一般に ULSI 製造ラインにおいて高い歩留まりを達成するためには、金属汚染は 10^{10} cm^{-2} 台に抑制しなければならないと言われている^[21]。今回調べた元素(Fe、Cu、Al、Ni、Cr、Na)においては、いずれの試料でも $3 \sim 7 \times 10^{10} \text{ cm}^{-2}$ の汚染量となっており、バックグランド汚染としては十分小さな値が達成された。したがって、図 4.34 と図 4.35 の結果より、以後の測定では Ba または Sr 不純物の Si 基板への影響を優先的に評価していると見なすことができる。

図 4.36 に Ba-0.1 ppm、Ba-100 ppm、Sr-100 ppm 溶液を塗布した試料の SIMS 強度を示す。 ^{30}Si の強度変化により表面 SiO_2 層の厚さはほぼ 5 nm であることを確認した。この SiO_2/Si の界面を図中に点線で示す。Ba も Sr も Si 基板内に拡散していることがわかる。Ba 及び Sr の 100 ppm 溶液塗布の試料から、不純物 Ba や Sr は主に SiO_2 薄膜中に存在し、 SiO_2/Si 基板の界面付近にもややパイルアップしている様子がうかがえる。Hourai 達^[16]や Sano と Fujino^[22]によって、Al や Fe は SiO_2 薄膜中にとどまりやすい傾向があり、Ni や Cr は Si 基板深くまで速く拡散することが報告されている。彼らは元素によるこの違いを酸化反応における Gibbs の自由エネルギー変化で説明している。Ba や Sr も Gibbs の自由エネルギー変化が大きく、酸化物の方が金属よりもはるかに安定であることから、 SiO_2 層内へ留まりやすい傾向であることがわかる。さらにアニール処理の初期における昇温時の Ba や Sr 不純物の Si 基板への拡散速度は、酸化物形成速度よりも遅いことも推測される。Sr に関して拡散プロファイルから 950 °C における Si 基板中の拡散速度を見積もるとおよそ $2 \times 10^{-17} \text{ cm}^2/\text{s}$ となり非常に小さな値であることが確認された。

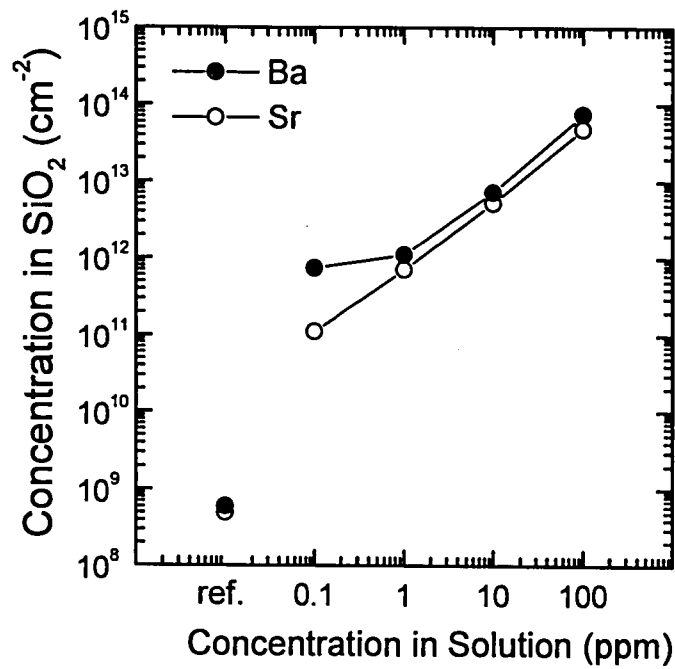


図 4.34 Ba 及び Sr 不純物の SiO₂ 膜中濃度と塗布溶液中の濃度の関係

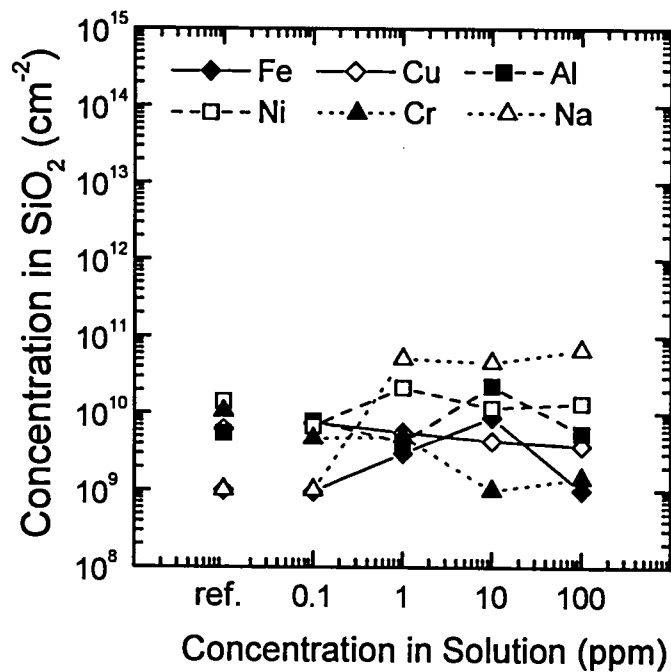


図 4.35 Fe、Cu、Al、Ni、Cr、Na 不純物の SiO₂ 膜中濃度の塗布溶液濃度依存性 (Sr 不純物溶液)

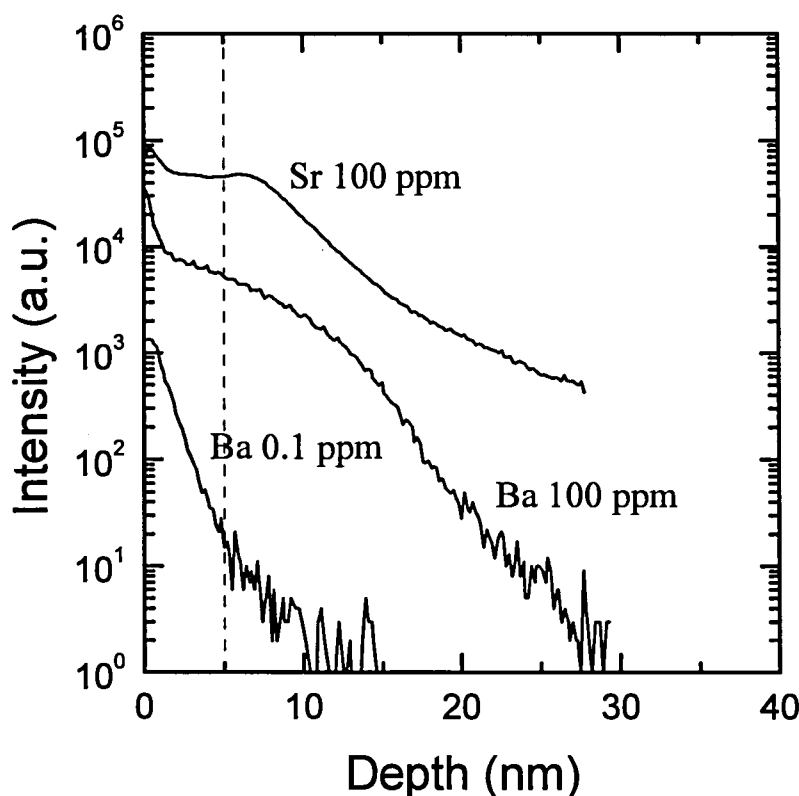


図 4.36 Ba 及び Sr 不純物の SIMS プロファイル

次に Si 基板表面に形成された SiO₂ 層内への Ba 及び Sr 不純物の影響について述べる。図 4.37 に表面 SiO₂ 層内の電荷量、図 4.38 に SiO₂/Si の界面準位密度を示す。ここで言う電荷量とは SiO₂ 表面、層内、SiO₂/Si 界面すべてに存在する電荷を指すが、界面準位に捕獲された電荷は含まない。Sr 濃度が $5 \times 10^{12} \text{ cm}^{-2}$ 以上の試料に関しては、測定結果が装置の測定限界である 10^{12} q/cm^2 を越える場合が多く、複数回測定した時の最小値をプロットしてある。まず図 4.37 より、Ba 及び Sr 不純物量の増加に伴って SiO₂ 層内の電荷量もプラス方向に増加していることがわかる。したがって、Ba 及び Sr 不純物は SiO₂ 層内でプラスの電荷を持っていることがわかる。測定電荷量からリファレンス試料の電荷量を差し引くことにより Ba 及び Sr 不純物に起因する電荷量を求めることができ、そこから計算した不純物 1 原子あたりの価数は +0.1 ~ +0.6 となった。Ba や Sr は 2 価のイオンになりやすいことから考えると、大部分の Ba や Sr 不純物は SiO₂ に組み込まれ、Ba(Sr)-Si-O のような複合酸化物を形成し、電気的に中性となっていると思われる。そしてわずかのイオンが未結合手を有し、電荷を発生させていると考えられる。今回測定された電荷量の増加は、MOS トランジ

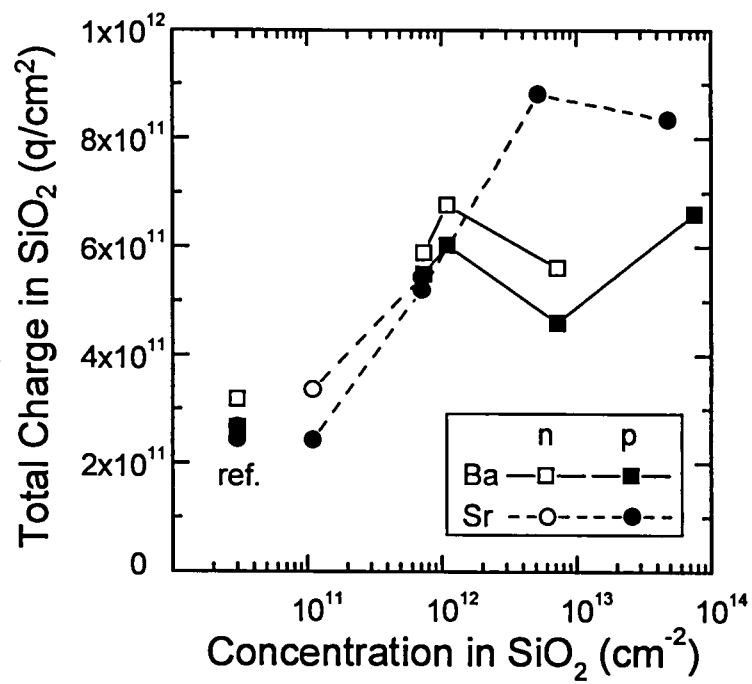


図 4.37 SiO₂ 膜中電荷量の塗布溶液濃度依存性

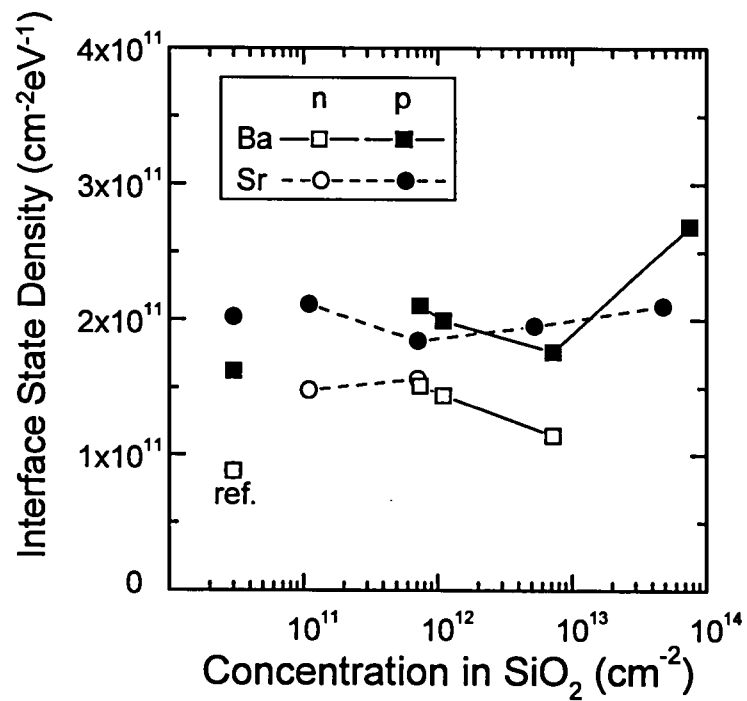


図 4.38 SiO₂/Si の界面準位密度の塗布溶液濃度依存性

スタの閾値電圧において+0.1 V 程度のずれを生じ、Gbit 級 DRAM のセルトランジスタにおいて完全に無視できる値とは言えない。またゲート絶縁膜の長期信頼性に影響を及ぼすことも想定されるため、 10^{12} cm^{-2} 以上の高濃度の Ba や Sr 汚染は避けるべきであると言える。一方、図 4.38 より Ba 及び Sr 不純物は SiO_2/Si の界面準位密度には影響を及ぼさないことがわかった。Ba や Sr を不純物として含む SiO_2 薄膜の信頼性に関しては今後もさらなる検討が必要であると思われる。

Sr を強制汚染させた試料に対して、 O_2 中、 1000°C 、16 時間の追加アニール処理を行い、Wright エッチングした後の光学顕微鏡写真を 4.39 に示す。10ppm までの不純物濃度では何も欠陥らしきものが観察されないが、100ppm の高濃度汚染では Oxidation Induced Stacking Faults (OSF) が多数観察された。図 4.40 に SiO_2 薄膜中の Ba や Sr 濃度に対する OSF 密度を示す。Maeda 達によって報告された Al と Fe による OSF 密度と不純物濃度の関係も同時に示す^[23]。この結果と比較すると Ba や Sr 不純物は Fe の場合と同様、ある濃度から急激に Si の結晶欠陥を発生させている。しかし、今回の実験では、100ppm 溶液を塗布した試料表面に白濁した領域が広く観察されたことから、不純物原子が単独で結晶欠陥を誘発するのではなく、むしろ複数の原子がクラスター状態で固まって存在することにより欠陥を誘発したと考える方が妥当であると思われる。

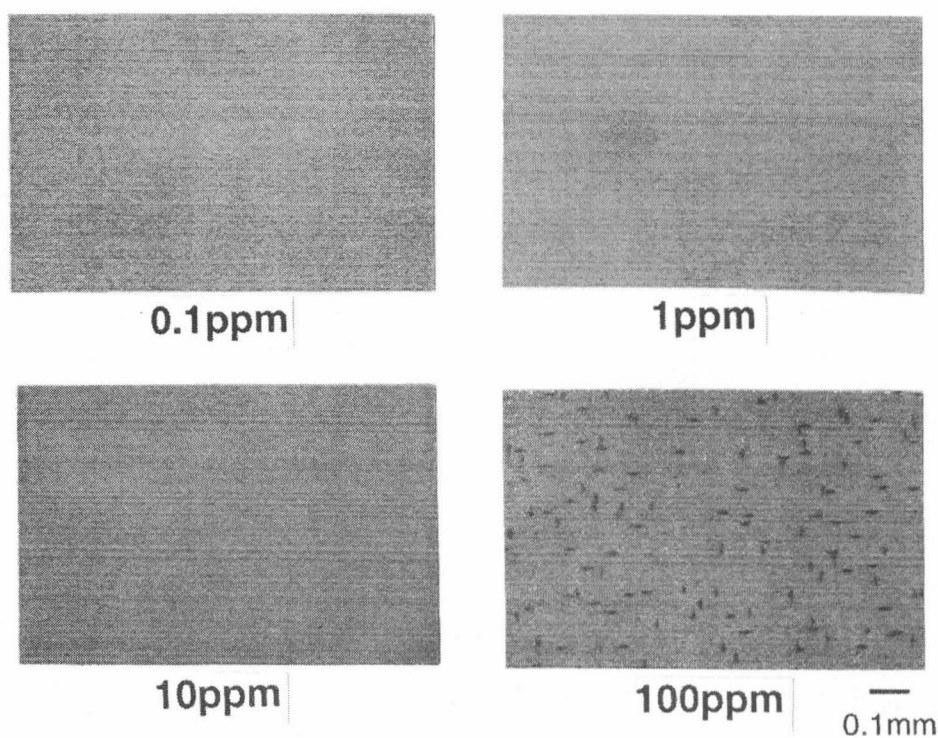


図 4.39 OSF の光学顕微鏡写真

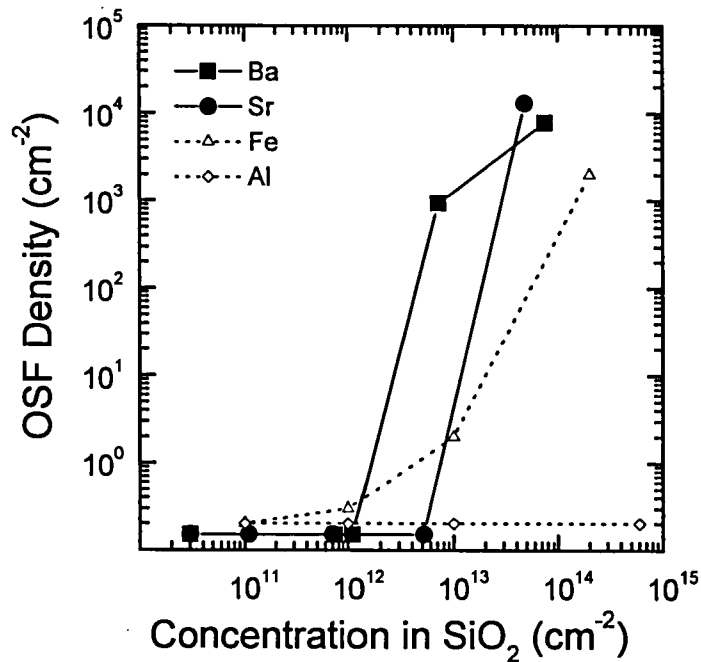


図 4.40 OSF 密度の SiO₂ 膜中の不純物濃度依存性

最も重要な観点である少数キャリアの再結合ライフタイムに関して図 4.41 に測定結果を示す。測定は試料面内 9 点について行い平均化している。Ba 及び Sr 不純物のどちらの場合も p 型基板、n 型基板の両方においてライフタイムは影響を受けず、100 ppm の高濃度不純物溶液を塗布した試料において、リファレンスウエハと変わらない値が得られることが明らかとなった。むしろ n 型基板では、汚染量が増えるにしたがってライフタイムが上昇するような傾向を示す。これは Ba や Sr 不純物により SiO₂ 薄膜中に正の電荷が存在するため、Si のバンドが SiO₂/Si 界面近傍で下方に曲げられる。その結果 n 型基板においては多数キャリアの蓄積が生じ、少数キャリアの表面再結合が減少することによって見かけ上ライフタイムが増加したと説明できる。代表的な重金属不純物である W も、今回の Ba や Sr と同様に大部分が SiO₂ 薄膜中に留まりやすいが、Si 基板に 10¹⁰ cm⁻² 程度ごくわずかに拡散した不純物によってライフタイムが何桁も減少する。今回の結果により 100ppm、つまり 10¹⁴ cm⁻² 程度の高濃度の Ba 及び Sr 不純物によっても、Si 基板のライフタイムは影響を受けないことが確認され、BST 薄膜の ULSI プロセスへの導入に対して好ましい結果が得られたと言える。

さらに、フォトルミネッセンス(PL)測定により Si のバンド間の不純物準位を評価した。図 4.42 に

Sr を強制汚染した試料に対する PL 強度を示す。バンド端の発光強度にも大きな違いはなく、100 ppm 濃度の溶液を塗布した試料においても深い準位からの発光は見られない。Ba を強制汚染した試料に対してもほぼ同様の結果が得られた。したがって、Ba や Sr 不純物は 950 °C 程度の熱処理によって Si 基板内に拡散したとしても Si のバンドギャップ中に深い不純物準位を形成しないことが再確認された。

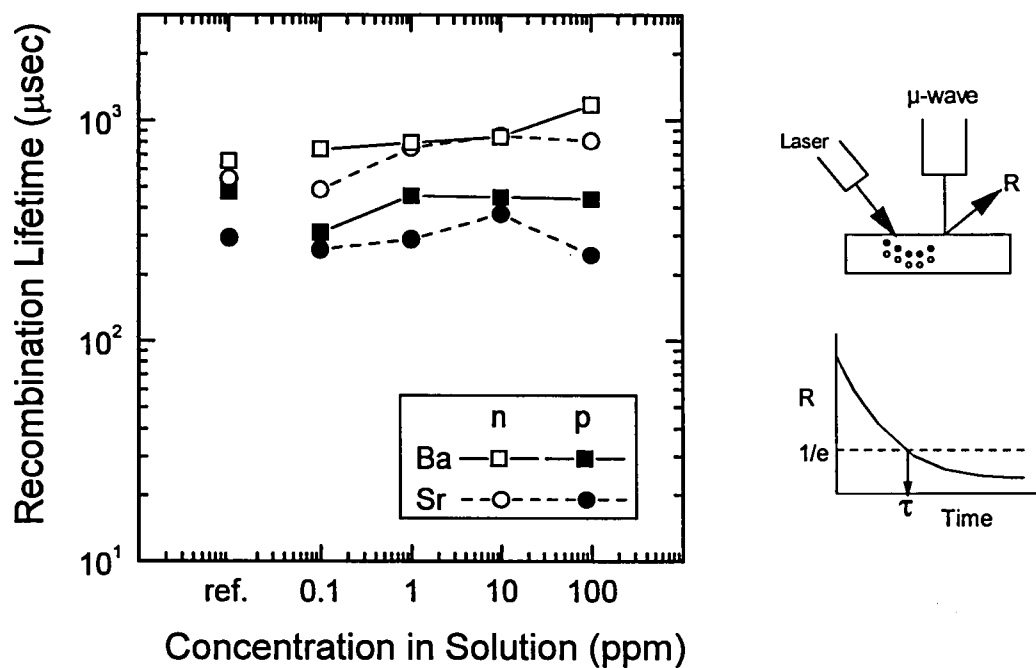


図 4.41 少数キャリアの再結合ライフタイムの塗布溶液濃度依存性

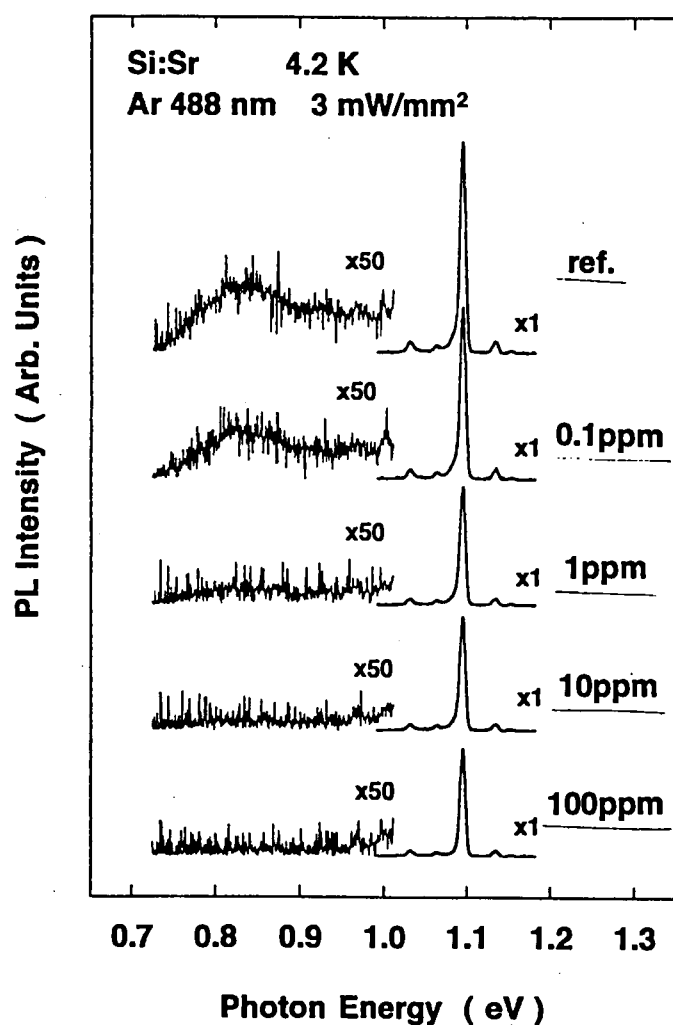


図 4.42 Sr 不純物を含む Si 基板からの PL スペクトル

4.4.4 転写汚染の評価

最後に転写汚染の評価結果を表 4.8 に示す。表面の SiO_2 層、及び Si 基板の $1\ \mu\text{m}$ までの深さにおいて、Ba 不純物や Sr 不純物の濃度はどちらも測定限界以下であった。したがって、実際の ECR-CVD 法により作製した BST 薄膜からの Ba や Sr の再蒸発による転写汚染は、 $700\ ^\circ\text{C}$ 程度の温度では発生しないことも確認された。

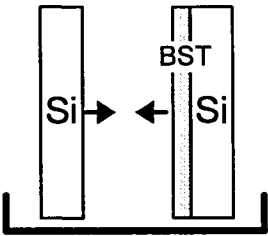
以上より、BST 薄膜を構成する元素のうち、Ba と Sr に関しては Si 基板内への拡散速度も遅く表面で酸化物層を形成しやすいこと、及び Si 基板内で深い準位を形成せず、キャリアのライフタイムにも影響を与えないことが確認された。残る Ti 元素に関しては、これまで配線材料としてすでに ULSI ラインに導入された実績があり、ハンドリングに関する経験も豊富である。したがって、結

論として、BST 薄膜はアルカリ土類元素を含むものの、比較的安全に ULSI 製造プロセスへ導入できる材料であると言える。

表 4.8 ECR-MOCVD 法により作製した BST 膜からの
Ba 及び Sr 不純物の転写汚染量の ICP 分析結果

	in SiO ₂ layer	in Si bulk (1μm)
Ba	$< 9 \times 10^8$	$< 2 \times 10^9$
Sr	$< 6 \times 10^8$	$< 9 \times 10^8$

(cm⁻²)



4.5 結言

本章では立体電極上への BST 薄膜の作製とその誘電特性について述べた。特に Gbit 級 DRAM に相当する $0.2\mu\text{m}$ サイズに微細加工が可能な RuO_2 電極を中心にして、 RuO_2 側面における BST 薄膜の特性を明らかにした。また段差被覆性に優れる ECR-CVD 法により、1GbitDRAM において、単純な直方体型電極でも必要な容量を実現できる可能性を示した。以下に本章で得られた知見をまとめる。

1. RuO_2 側面上に rf スパッタ法により作製された BST 薄膜の誘電率は、 RuO_2 平面上の場合と等しく、立体電極の側面でも高誘電率を実現することができた。しかし膜構造は RuO_2 上面と比べて粒界が粗な柱状構造となり、Ru の拡散などによりリーク電流が増加した。
2. Si と O の拡散を抑制するためには、 $\text{RuO}_2/\text{Ru}/\text{TiN}/\text{TiSi}/\text{poly-Si}$ 構造が有効であり、ECR-CVD 法による 500°C 成膜の BST 薄膜により、 RuO_2 側面で SiO_2 換算膜厚 0.65 nm の良好な特性を実現できた。
3. ECR-CVD 法による BST 薄膜は、1GbitDRAM に相当する高さ 500 nm 、サイズと間隔が $0.2\mu\text{m}$ の立体型 RuO_2 電極の側面においても段差被覆性 $40\sim 50\%$ を有し、結晶化したモフォロジーを示すことを明らかにした。
4. BST 薄膜の構成元素であるアルカリ土類の Ba と Sr は、 950°C の熱処理を施しても Si 基板中に速く拡散することはない、表面で酸化物を形成しやすいこと、拡散した不純物 Ba や Sr によって Si 基板の少数キャリアの再結合ライフタイムが劣化することはない、BST 薄膜は安全に ULSI 製造プロセスへ導入できる材料であることを明らかにした。

以上述べたように、ECR-CVD 法により作製された BST 薄膜の誘電特性は、立体型電極を用いることによって Gbit 級 DRAM への応用が十分に可能であり、今後は RuO_2 電極上での信頼性評価や実際のデバイス試作によって実用化されるものと期待できる。

第4章の参考文献

- [1] S. Saito and K. Kuramasu, Jpn. J. Appl. Phys., 31, 135 (1992).
- [2] technical reports in NEC Corporation, *unpublished*.
- [3] K. Tokashiki, K. Sato, K. Takemura, S. Yamamichi, P-Y. Lesaicherre, H. Miyamoto, E. Ikawa, and Y. Miyasaka, Proc. of Dry Process Symp., 73 (1994).
- [4] P-Y. Lesaicherre, S. Yamamichi, K. Takemura, H. Yamaguchi, K. Tokashiki, Y. Miyasaka, M. Yoshida, and H. Ono, Integrated Ferroelectrics, 11, 81 (1995).
- [5] 高純度化学研究所、「高・強誘電体用 MO-CVD 原料」, 9 (1998)
- [6] P. Kirlin, S. Bilodeau, and P. VanBuskirk, Integrated Ferroelectrics, 7, 307 (1995).
- [7] T. Kawahara, M. Yamamuka, T. Makita, J. Naka, A. Yuuki, N. Mikami, and K. Ono, Jpn. J. Appl. Phys., 33, 5129 (1994).
- [8] T. Kawahara, M. Yamamuka, A. Yuuki, and K. Ono, Jpn. J. Appl. Phys., 34, 5077 (1995).
- [9] 曾祢、山口、薮田、加藤、吉田、山道、Lesacherre、小野, 応用物理学会、学術講演会, 56, 2, 344 (1995).
- [10] Y. Kato, H. Yabuta, S. Sone, H. Yamaguchi, T. Iizuka, S. Yamamichi, P-Y. Lesaicherre, S. Nishimoto, and M. Yoshida, Mat. Res. Soc. Symp. Proc., 433, 3 (1996).
- [11] K. Shibahara, H. Mori, S. Ohnishi, R. Oikawa, K. Nakajima, H. Yamashita, K. Ito, Y. Kojima, S. Kamiyama, H. Watanabe, T. Hamada, and K. Koyama, IEDM Tech. Dig., 639 (1994).
- [12] P. S. Lin, R. B. Marcus, and T. T. Sheng, J. Electrochem. Soc., 130, 1878 (1988).
- [13] Y. Fujisaki, T. Ando, H. Kozuka, and Y. Takano, J. Appl. Phys., 63, 2304 (1988).
- [14] M. Takiyama, S. Ohtsuka, T. Sakon, and M. Tachimori, IEICE Trans. Electron., E77c, 464 (1994).
- [15] S. Verhaverbeke, M. Meuris, P. W. Mertens, M. M. Heyns, A. Philipossian, and D. G. A. Schnegg, IEDM Tech. Dig., 71 (1991).
- [16] M. Horai, T. Naridomi, Y. Oka, K. Murakami, S. Sumita, N. Fujino, and T. Shiraiwa, Jpn. J. Appl. Phys., 27, L2362 (1988).
- [17] E. Kamieniecki, J. Vac. Soc. Technol., 20, 811 (1982).
- [18] E. Kamieniecki, J. Appl. Phys., 54, 6481 (1983).
- [19] D. T. Stevenson and R. J. Keyes, J. Appl. Phys., 26, 190 (1955).

- [20] L. Köster, P. Blöchl, and L. Fabry, *Jpn. J. Appl. Phys.*, 34, 932 (1995).
- [21] T. Shimono, M. Morita, Y. Muramatsu, and M. Tsuji, *Ultra Clean Technol.*, 3, 4, (1991).
- [22] M. Sano and N. Fujino, *Ultra Clean Technol.*, 3, 10, (1991).
- [23] A. Maeda and M. Ogino, *Ext. Abst. Electrochem. Soc. Spring Meet.*, 372 (1986).

第 5 章 結論

本研究の結論

本論文は、スパッタ法および CVD 法により作製した高誘電率(Ba,Sr)TiO₃ 薄膜に関し、キャパシタの作製プロセス及びその誘電特性、また下部電極バリアメタルの構造評価やキャパシタアレイ試作を通して、Gbit 級 DRAM のキャパシタ絶縁膜への適用を目指した一連の研究結果をまとめたものである。

本論文では、まずイオンビームスパッタ法により作製した SrTiO₃ 薄膜を用い、基本的な誘電特性を明らかにすると共に、BST 薄膜による高誘電率化やその長期信頼性の評価を行った。さらに Si 基板と電氣的な接続を有しながら、界面 SiO₂ 層の形成を抑制し、BST 系薄膜本来の高誘電率を実現できる下部電極バリアメタルの構造評価を行い、拡散バリアとしてのシリコン及び酸素に対する耐熱温度を明らかにした。また ECR プラズマ MOCVD 法による BST 薄膜を用い、微細加工可能な RuO₂ 電極上面及び側面上での電氣的特性を明らかにした。以下に本論文で得られた主な結論を述べ、本研究の総括を行う。

第 2 章では、イオンビームスパッタ法により Pd 電極上に BST 系薄膜を作製し、高誘電率と低リーク電流特性の両立を実現した。SrTiO₃ 薄膜の誘電率はビーム電圧に依存し、基板温度 430 °C において 10 nm まで薄膜化しても短絡せず、50 nm までは 10⁻⁸ A/cm² 台の良好なリーク電流特性と 200 以上の高誘電率を得ることができる。BST 薄膜において、誘電率は膜の(Ba+Sr)/Ti 比に強く依存し、わずかに A サイトリッチな(Ba+Sr)/Ti 比=1.05 組成において、最大値 580 の誘電率が得られる。SrTiO₃ 薄膜や BST 薄膜は Pd 電極直上から結晶化した柱状グレイン構造を有しており、ボイドやクラックの無い緻密な構造を有している。膜厚 10 nm の SrTiO₃ 薄膜の粒径は大きいもので 50 nm にもなり、膜厚方向よりも横方向の成長が速い可能性がある。BST 薄膜の絶縁破壊に至る時間は印加電界に依存し、誘電率とは関係なく、リーク電流の小さいものほど長くなる。高誘電率と長期信頼性を両立できる組成として (Ba+Sr)/Ti 比=0.94 が挙げられ、2.5 nm の SiO₂ 膜よりもキャパシタ絶縁膜として優れた特性を有していると言える。高電界ストレス印加後に見られる SILC による電荷損失を考慮しても、BST 薄膜の寿命は Gbit 級 DRAM に対して 10 年を上回っている。平坦な電極上でこのような高誘電率と低リーク電流が得られる本技術は、今後は GaAs 基板を用いた MMIC や実装分野など、その特徴の生かせる分野に適用されることが期待される。

第3章では、高誘電率 BST キャパシタと Si 基板との電氣的接続を確保するために必要な下部電極材料と、温度に対するバリア構造の変化、さらに容量ポリシリコンタクトによって Si 基板と接続された微細キャパシタアレイの作製プロセスについて述べた。SrTiO₃ 薄膜本来の 200 近い高誘電率を Si 基板上で実現するためには、低誘電率 SiO₂ 層の形成を抑制する Pt/Ta や Pt/Ti といった 2 層構造の下部電極バリアメタルが必要である。この場合、下層の Ta や Ti は、SrTiO₃ 成膜中や成膜後のアニール時に Si が拡散するのを防止する拡散バリアとして作用している。Si と接続されたキャパシタ全体として高誘電率を保持できるプロセス温度は、Ta や Ti のシリサイド化温度と一致する。ただし Ta の場合は、シリサイド反応の開始前に、Pt の粒界を通して拡散してきた酸素と反応して抵抗値の高い TaO_x 層を形成する場合がある。すなわち、バリアメタルとしての耐熱温度は、シリサイド化開始温度と、酸素による酸化反応のどちらか低い方の温度で決定される。ポリシリコンプラグで Si 基板と接続された微細な Pt/Ta 下部電極アレイ上において、IBS 法により基板温度 450 °C で作製した SrTiO₃ 薄膜は 200 近い高誘電率を示す。ただし、下部電極端部の SrTiO₃ 膜厚の減少により、平坦な電極上に比べてリーク電流が増加する。

第4章では、主に立体電極上への BST 薄膜の作製とその誘電特性について述べた。rf スパッタ BST 薄膜は、サブミクロンサイズに微細加工が可能な RuO₂ 電極の側面においても、RuO₂ 電極上面と同等の高誘電率を示す。しかし、RuO₂ 側面における BST 薄膜は、RuO₂ 上面と比べて粒界が粗な柱状構造となっており、Ru の拡散などによってリーク電流が増加する。より段差被覆性に優れる ECR-CVD 法によって作製された BST 薄膜は、基板温度 500 °C、as-depo において、RuO₂ 上面で $t_{eq}=0.59$ nm、RuO₂ 側面で $t_{eq}=0.65$ nm の優れた誘電特性を示す。この時、BST 成膜中のシリコンと酸素の拡散を抑制するためには、RuO₂/Ru/TiN/TiSi/poly-Si 構造の下部電極が有効である。ECR-CVD 法による BST 薄膜は、1GbitDRAM に相当する高さ 500 nm、サイズと間隔が 0.2 μ m の立体型 RuO₂ 電極の側面において、40~50 %の段差被覆性と、結晶化した表面モフォロジーを示す。ECR-CVD 法による BST 薄膜を用いた場合、1Gbit DRAM において必要な容量を単純な立方体電極で実現すると想定すると、電極高さは 0.3 μ m となる。また BST の構成元素であるアルカリ土類の Ba と Sr は、950 °C の熱処理を施しても Si 基板中に急速に拡散することはない、万一拡散した場合でも、不純物 Ba や Sr によって Si 基板の少数キャリアの再結合ライフタイムが劣化することはない。すなわち、BST は安全に ULSI 製造プロセスへ導入できる材料であると言える。

実際の BST キャパシタを用いた Gbit 級 DRAM の量産化に向けては、CVD 法によるプロセスの再現性確認や、メンテナンス性に優れた装置開発などの課題がまだ残されている。また、リーク電流をさらに低減することも必要である。しかし、本研究を通して、 SiO_2 、 Si_3N_4 、 Ta_2O_5 に続く次世代のキャパシタ絶縁膜材料として、 $(\text{Ba,Sr})\text{TiO}_3$ が有望であるという基本的な見通しを得ることができたと確信する。今後は大容量 DRAM に加え、embedded-DRAM としてシステム LSI への適用も図られ、電子機器全体の高速・軽量・システム化を支えるキー材料となることが期待される。

主な研究業績

[1] 論文発表

1. S. Yamamichi, T. Sakuma, K. Takemura, and Y. Miyasaka

“SrTiO₃ Thin Film Preparation by Ion Beam Sputtering and Its Dielectric Property”

Jpn. J. Appl. Phys., **30**, 9B, 2193 (1991).

2. S. Yamamichi, T. Sakuma, T. Hase, and Y. Miyasaka

“SrTiO₃ and (Ba,Sr)TiO₃ Thin Films Preparation by Ion Beam Sputtering and Their Dielectric Properties”

Mat. Res. Soc. Symp. Proc., **243**, 297 (1992).

3. S. Yamamichi, H. Yabuta, T. Sakuma, and Y. Miyasaka

“(Ba+Sr)/Ti ratio dependence of the dielectric properties for (Ba_{0.5}Sr_{0.5})TiO₃ thin films prepared by ion beam sputtering”

Appl. Phys. Lett., **64**, 13, 1644 (1994).

4. S. Yamamichi, Y. Muramatsu, P-Y. Lesaichere, and H. Ono

“Influence of Strontium Impurities on Silicon Substrates during Thermal Processing”

Jpn. J. Appl. Phys., **34**, 9B, 5188 (1995).

5. S. Yamamichi, P-Y. Lesaichere, H. Yamaguchi, K. Takemura, S. Sone, H. Yabuta, K. Sato, T. Tamura, K. Nakajima, S. Ohnishi, K. Tokashiki, Y. Hayashi, Y. Kato, Y. Miyasaka, M. Yoshida, and H. Ono

“A Stacked Capacitor Technology with ECR Plasma MOCVD (Ba,Sr)TiO₃ and RuO₂/Ru/TiN/TiSix Storage Nodes for Gbit-Scale DRAMs”

IEEE Trans. Electron Devices, **44**, 7, 1076 (1997).

6. S. Yamamichi, A. Yamamichi, D. Park, T-J. King, and C. Hu

“Impact of Time Dependent Dielectric Breakdown and Stress-Induced Leakage Current on the Reliability of High Dielectric Constant (Ba,Sr)TiO₃ Thin-Film Capacitors for Gbit-scale DRAMs”

IEEE Trans. Electron Devices, **46**, 2, 342 (1999).

[2] 学会発表

1. 1991 Materials Society Symposium (MRS, Boston, MA, 1991)

“SrTiO₃ and (Ba,Sr)TiO₃ Thin Films Preparation by Ion Beam Sputtering and Their Dielectric Properties”

S. Yamamichi, T. Sakuma, T. Hase, and Y. Miyasaka

2. The IEEE 9th International Symposium on the Applications of Ferroelectrics (ISAF, Pen State, PA, 1994)

“Characterization of sputter-deposited (Ba,Sr)TiO₃ thin films on the sidewalls of fine-patterned electrodes”

S. Yamamichi, K. Takemura, T. Sakuma, H. Watanabe, H. Ono, K. Tokashiki, E. Ikawa, and Y. Miyasaka

3. International Workshop on Advances LSI's (Korea, 1995)

“A Gbit-scale DRAM stacked capacitor technology with ECR MOCVD SrTiO₃ and RIE patterned RuO₂/TiN storage nodes”

S. Yamamichi and P-Y. Lesaicherre

4. 1995 International Electron Devices Meeting (IEDM-95, Washington DC, 1995)

“An ECR MOCVD (Ba,Sr)TiO₃ based stacked capacitor technology with RuO₂/Ru/TiN/TiSix storage nodes for Gbit-DRAMs”

S. Yamamichi, P-Y. Lesaicherre, H. Yamaguchi, K. Takemura, S. Sone, H. Yabuta, K. Sato, T. Tamura, K. Nakajima, S. Ohnishi, K. Tokashiki, Y. Hayashi, Y. Kato, Y. Miyasaka, M. Yoshida, and H. Ono

5. The 8th International Symposium on Integrated Ferroelectrics (ISIF-8, Tempe, AZ, 1996)

“Effect of Barium and Strontium contamination on Silicon surfaces during thermal processing”

S. Yamamichi, T. Hayashi, P-Y. Lesaicherre, T. Iizuka, and S. Nishimoto

6. 1997 International Electron Devices Meeting (IEDM-97, Washington DC, 1997)

“Impact of Time Dependent Dielectric Breakdown and Stress-Induced Leakage Current on the Reliability of High Dielectric Constant (Ba,Sr)TiO₃ Thin-Film Capacitors for Gbit-scale DRAMs”

S. Yamamichi, A. Yamamichi, D. Park, and C. Hu

7. The 193rd Electrochemical Society Spring Meeting (193rd ECS, San Diego, CA, 1997)

“Reliability study on high dielectric constant (Ba,Sr)TiO₃ thin films”

S. Yamamichi, A. Yamamichi, D. Park, H. Yabuta, T. Iizuka, K. Arita, S. Sone, Y. Kato, S. Nishimoto, T. -J. King, C. Hu, and M. Yoshida

8. 1st International Symposium on Electronic Materials and Semiconductor Devices (Taipei, 1999)

“High dielectric constant (Ba, Sr)TiO₃ thin films for Gbit-scale DRAMs”

S. Yamamichi

[3] 学会発表 (国内会議)

1. 第 51 回 応用物理学会 学術講演会 29a-C-9, 2, 444 (1990).

“SrTiO₃ 薄膜のシリコン基板上への作製(II) -バリアメタルの検討-”

山道新太郎、佐久間敏幸、松原正吾、山口弘、宮坂洋一

2. 第 38 回 応用物理学関係連合講演会 28p-P-4, 2, 381 (1991).

“イオンビームスパッタ法による SrTiO₃ 薄膜の作製”

山道新太郎、佐久間敏幸、松原正吾、山口弘、宮坂洋一

3. 第 8 回 強誘電体応用会議, 26 (1991).

“イオンビームスパッタ法による SrTiO₃ 薄膜の作製”

山道新太郎、佐久間敏幸、竹村浩一、宮坂洋一

4. 第 55 回 応用物理学会 学術講演会 19p-M-10, 2, 347 (1994).

“電極側壁部におけるスパッタ(Ba,Sr)TiO₃ 薄膜の特性”

山道新太郎、竹村浩一、佐久間敏幸、渡辺啓仁、小野春彦、渡嘉敷健、井川英治、宮坂洋一

5. 第 12 回 強誘電体応用会議, 165 (1995).

“熱処理における Sr 汚染の評価”

山道新太郎、村松良徳、P-Y. Lesaicherre、小野春彦

6. 第 45 回 応用物理学関係連合講演会 28p-ZF-13, 2, 518 (1998).

“Study on TDDB and SILC for the reliability of BST thin film capacitors”

S. Yamamichi, A. Yamamichi, D. Park and C. Hu

謝 辞

本研究をまとめるにあたり、終始懇切なる御指導・御鞭撻、並びに御教授を賜りました京都大学大学院工学研究科教授 松波弘之博士に謹んで御礼申し上げます。また、本論文の内容について御教示と御助言を賜りました京都大学大学院工学研究科教授 松重和美博士、同教授 鈴木実博士に深く感謝いたします。また、本研究をまとめるにあたり御指導いただき、学位取得を勧めてくださいました京都大学名誉教授 川端昭博士に深謝いたします。

本研究は筆者が 1989 年から 1999 年にかけて、主に NEC 機能材料研究所(当時、基礎研究所)および先端デバイス開発本部(当時、ULSI デバイス開発研究所)において行った大容量 DRAM 用高誘電率(Ba,Sr)TiO₃ 薄膜に関する研究と、カリフォルニア大バークレー校留学中に行った(Ba,Sr)TiO₃ 薄膜の長期信頼性に関する研究をまとめたものです。本研究の遂行と論文執筆の機会を与えてくださいました NEC コーポレート執行役員 渡辺久恒博士、NEC ラボラトリーズ支配人 小林功朗博士、東京農工大教授(当時、NEC 基礎研究所所長) 覧具博義博士、(株)トーキン専務取締役(当時 NEC ULSI デバイス開発研究所所長) 鴨志田元孝博士、機能材料研究所所長 内海和明博士に感謝します。また研究遂行にあたり御指導いただきました、国際超電導産業技術研究センター(当時 NEC 材料研究部部長)正畑伸明博士、ASET(当時 NEC 高集積技術開発部部長) 石谷明彦博士、NEC 機能薄膜 TG 部長 柘植久尚氏に感謝します。本研究の開始時からまとめる段階まで多くの御指導を頂きました NEC ED 先端デバイス開発本部 エキスパートエンジニア 宮坂洋一氏に感謝します。また、バリアメタルの研究については九州松下電器(元 NEC) 松原正吾氏、KOA(元 NEC) 佐久間敏幸博士に、MOCVD 法の研究については NEC 機能材料研究所エキスパート 吉田政次博士、Selete(当時 NEC 材料研究部課長) 加藤芳健氏、集積化技術に関しては、Philips Semiconductors(元 NEC) Dr. Pierre-Yves Lesaicherre、NEC シリコンシステム研究所マネージャ 小野春彦博士、NEC UK マネージャ 渡辺啓仁博士、長期信頼性評価についてはカリフォルニア大 Prof.Chenming Hu に多くの御指導を頂きました。ここに感謝します。また本研究は多くの方々のご協力によってなされたものであり、特に大変お世話になったエルピーダメモリ(株)プロセス開発部プロジェクトマネージャ 山口弘氏、NEC ED 先端デバイス開発本部エキスパートエンジニア 竹村浩一氏、青木秀光博士、同プロジェクトマネージャ 渡嘉敷健氏、同研究員 飯塚敏洋氏、俵山典久氏、NEC ED 半導体生産技術本部 佐藤聖幸氏、CANON 中央研究所(元 NEC) 藪田久人氏、Selete(当時 NEC) 曾祢修次氏、に感謝の意を表したいと思います。最後に留学時の長期信頼性の研究および本論文執筆期間中の支援に対して妻・亜貴子に感謝します。